

BOSS RSD-10 SERVICE NOTES

First Edition

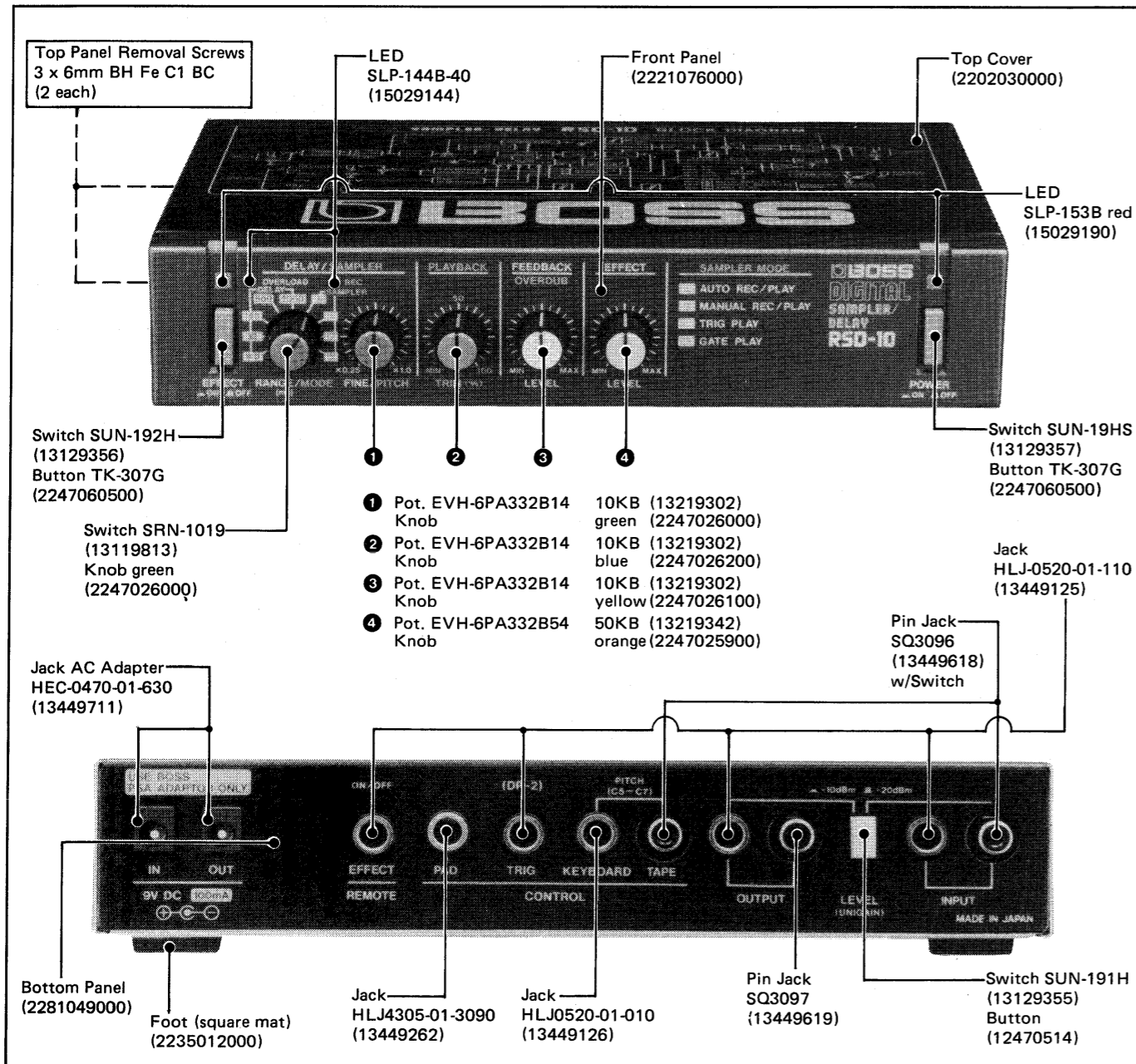
SPECIFICATIONS

Power Source : 9V DC (BOSS AC Adapter PSA-100, 120, 220, 240)
Current Draw : 100mA @ 9V
Input Level/Impedance : -20dBm/1MΩ, -10dBm/47KΩ
Output Level/Impedance : -20dBm/2KΩ, -10dBm/2KΩ
Output Load Impedance : More than 10KΩ
Sampling Time : Max. 2000ms
Delay Time : 2ms to 2000ms
Frequency Response : Direct : 10Hz to 30KHz (+1₋₃ dB)

Sampler/Delay : 20Hz to 7KHz (+1₋₃ dB) (FINE x 0.25)

Residual Noise : -95dBm (IHF-A) LEVEL Switch @ -20dBm
Dimensions : 218(W) x 169(D) x 44(H)mm
 8-9/16"(W) x 6-11/16"(D) x 1-13/16"(H)

Weight : 1kg/2 lb 3 oz
Option : AC Adapter BOSS PSA-100, 120, 220, 240
 Pedal Switch DP-2
 Foot Switch FS-1
 Pad Controller BP-1
 Rack Mount Adapter RAD-10
 Micro System Rack BMR-5



PARTS LIST パーツ・リスト

CASING ケース	
2221076000	Front Panel フロントパネル
2281053000	Bottom Panel シャーシ
2202030000	Top Cover トップカバー
2225023700	Shield Plate シールド板

KNOB, BUTTON ツマミ, ボタン	
2247025900	Knob orange 橙 LEVEL (EFFECT)
2247026000	Knob green 緑 FINE/PITCH (DELAY/SAMPLER)
2247026200	Knob blue 青 TRIM (PLAYBACK)
2247026100	Knob yellow 黄 LEVEL (FEEDBACK/OVERDUB)
2247060500	Button TK-307G gray 灰 POWER/EFFECT
12470514	Button LEVEL

JACK ジャック	
13449125	HLJ-0520-01-110 phone INPUT
13449126	HLJ-0520-01-010 phone OUTPUT
13449262	HLJ-4305-01-3090 phone AC ADAPTER
13449618	SQ3096 w/switch pin
13449619	SQ3097 pin
13449711	HEC-0470-01-630

SWITCH スイッチ	
13129355	SUN-191H LEVEL
13129356	SUN-192H EFFECT
13129357	SUN-19HS POWER
13119813	SRN-1019 RANGE/MODE (DELAY/SAMPLER)

PCB ASSY 基板完成品	
74131520	MT BOARD (PCB 2292029601) Replacement PCB includes SUB board. 補修用完成基板としては、SUB基板を含みます。
74131530	SUB BOARD (PCB 2292029601)

IC	
15229811	RDD63H101P-G-SH C-MOS gate array
15179315	MSK4164NP-15 64K DRAM
15159148	HD14002BP dual 4 input NOR gate
15159104H0	HD14011BP quad 2-input NAND gate
15159115H0	HD14066BP analog switch
15159141	HD14040BP 12-stage binary ripple counter/divider
15159301H0	HD14520BP dual binary up counter
15159118H0	HD14081BP quad 2-input AND gate
15159111H0	HD14046BP phase-locked loop
15169516	TC74HC02P quad 2-input NOR gate
15219143	μPC-1571C compander NR
15229809	BA-634 T-flip-flop
15219161	NJM2072 signal level sensor
15199136	TA78L007AP +7V voltage regulator
15199115	MC79L05CP -5V voltage regulator
15189111J1	NJM-311D comparator
15189185	M5223L op amp
15189188	M5238L op amp
15189136	M5218L op amp

TRANSISTOR トランジスタ	
15129120	2SC2240-GR
15129108	2SC945P
15129136	2SC2878A
15119111	2SA970-GR
15119105	2SA733P
15139101	2SK30A-Y FET
15139107	2SK117-Y FET

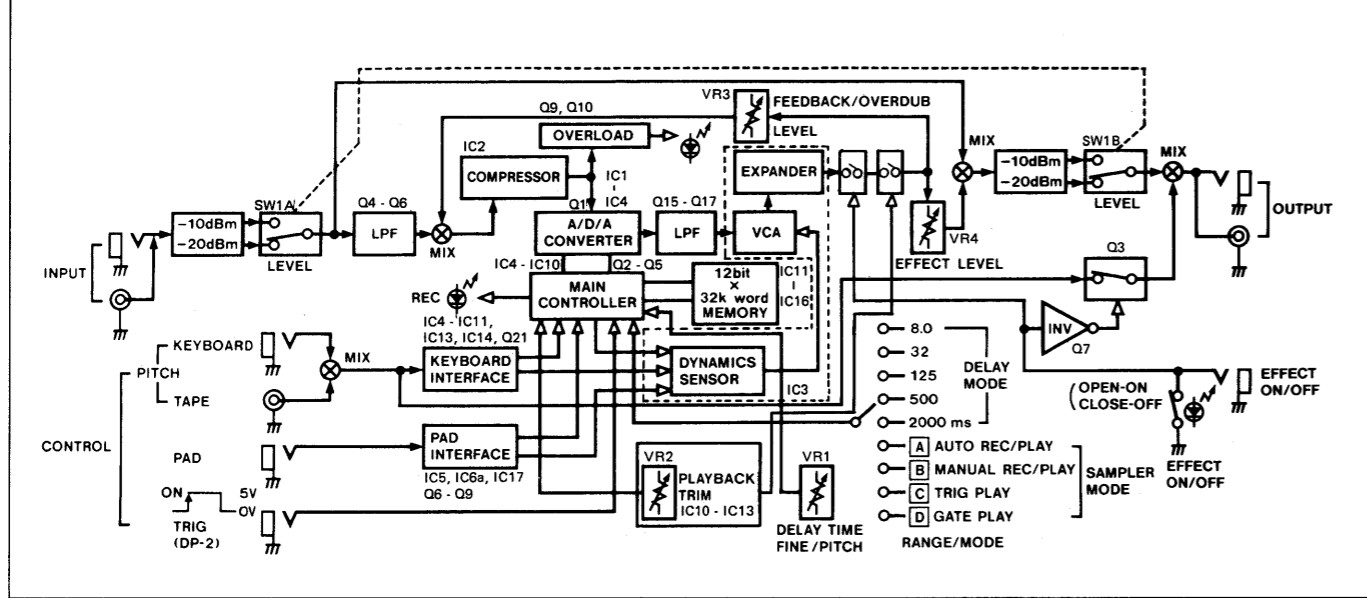
DIODE ダイオード	
15019209T0	S5500G
15019125	1S5133
15019103	1S2473
15029190	SLP-153B red 赤 LED
15029144	SLP-144B-40 red 赤 LED

POTENTIOMETER ポリウム	
13219302	EVH-6PA332B14 10KB FINE/PITCH (DELAY/SAMPLER) TRIM (PLAYBACK)
13219342	EVH-6PA332B54 50KB LEVEL (FEEDBACK/OVERDUB) LEVEL (EFFECT)
13299140	H0651 10KB 半固定 trimmer
13299156	H0651 22KB 半固定 trimmer
13299160	H0651 100KB 半固定 trimmer
13299151	H0651 2.2KB 半固定 trimmer

RESISTOR 抵抗	
13919134	RKM14L492-103F R-2R ladder network
13919118	RGSD-16L104G ladder network

MISCELLANEOUS その他	
2348017400	DC Cord 0.5m DCコード
13529126	EXC-EMT103C フィルター EMI-filter
2341053500	リード付コネクタ 10P connector w/lead
13429177	IL-S-10P-S2L2-EF リード付コネクタ 10P connector w/lead

BLOCK DIAGRAM



CIRCUIT DESCRIPTIONS

Although the RSD-10 has both sampler and delay capabilities, the following description mainly concentrates on sampler feature, assuming that most of readers are familiar with the basic of digital delay circuit which is well explained on the service notes of Roland SDE-1000/3000, BOSS DE-2, etc.

SAMPLER RECORDING MODE Fig. 1

The input audio signal coming into S/H (IC1 pins 1 and 3 of Sub board) is passed onto the next stage on a TRIGGER pulse (RECORDING START, causing COST) which enables the Main Controller IC9 to start timing the recording circuits. The trigger pulse is derived from:

Input audio signal proper—in MODE [A] (Auto Recording mode)

or

External control signal (keyboard, pad or pedal)—in MODE [B] (Manual Recording mode)

Upon receiving a RECORDING START (COST) signal through Counter Start/Stop Controller (detailed in COUNTER START/STOP section), the Main Controller IC9 coordinates the following processes on the audio input signal. The processing timing being based on the master clock, which in turn is controlled from Keyboard Interface. See these sections for detail.

Sample and Hold circuit for extracting an instantaneous amplitude of the audio signal

Analog-to-Digital Converter (ADC) for obtaining the numerical data to the audio amplitude in PCM form.

Storing of the PCM data into the RAMs IC11 - IC16 for later retrieval

回路解説

RSD-10はサンプリング機能とディレイ機能を持っています。基本的なディレイ機能については、先行製品のサービスノート(SDE1000/3000、BOSS DE-200、RDE-1800)に詳しく説明されていますので参照して下さい。ここではサンプリング機能についてだけ説明します。

サンプリング録音時の動作 Fig. 1

INPUT ジャックから入力された信号は常にA/D/A回路S/Hに加えられているが、トリガ信号(録音スタート信号)が加えられなければ、それ以降の回路は動作しません。

トリガ信号(録音スタート信号)は、

◎モード[A](自動録音)の場合

録音入力信号から作られる。

◎モード[B](手動録音)の場合

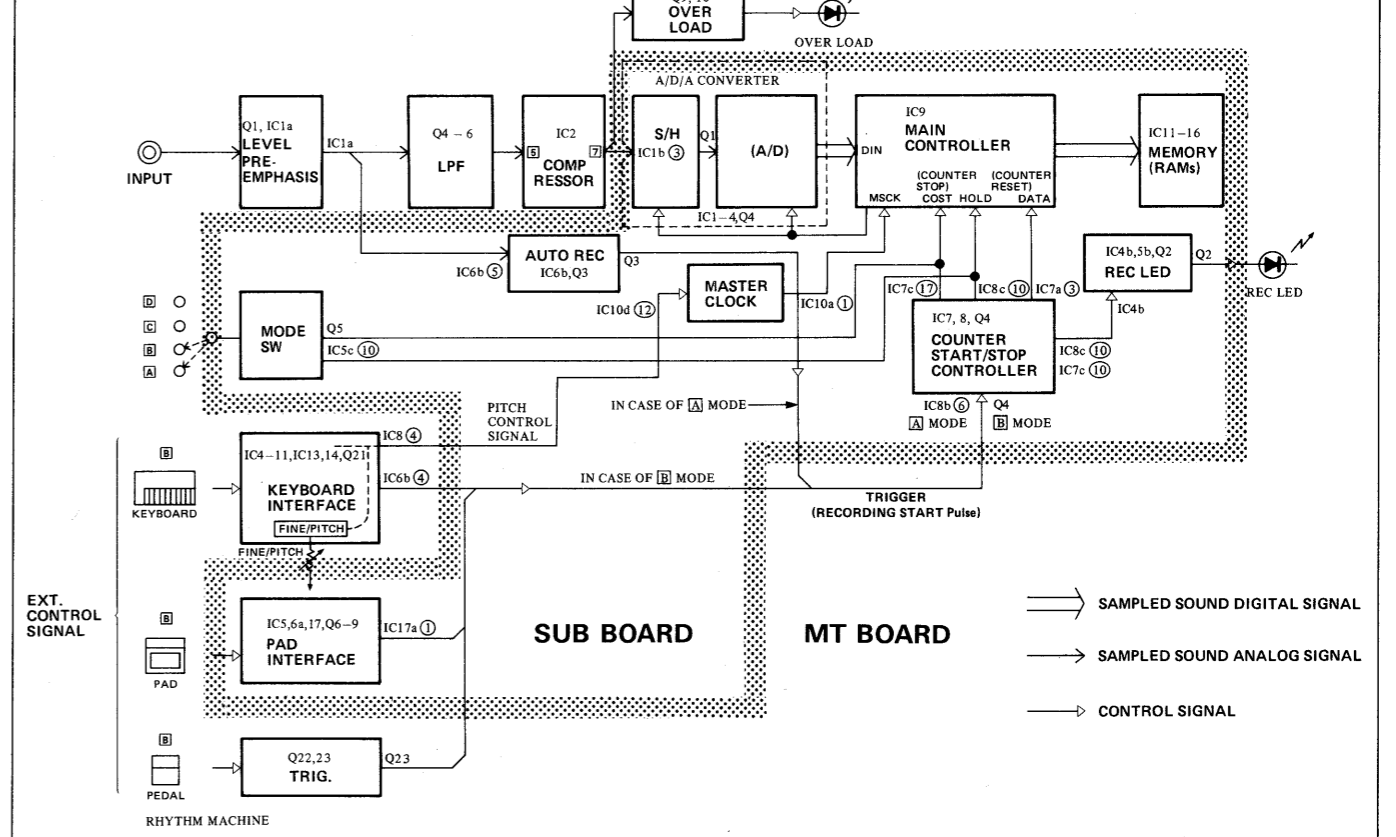
外部コントロール入力(キーボード、パッド、ペダルなど)から作られる。

トリガ信号が来ると入力信号は、

- S/Hで瞬時値が取り出され
- A/Dコンバータで2進のデータに変換される(PCM)。
- RAM(IC11-16)に書き込まれる。

これらは総てメインコントローラによって制御され、そのタイミングはキーボードインターフェース回路からのピッチコントロール信号によって決められます。

Fig.1 SAMPLER RECORDING MODE



SAMPLER PLAYBACK MODE Fig. 2

There are combinations in sampler playback mode: modes [A], [B] and [C] (TRIG) or [D] (GATE) with different control inputs. Of these variations the following two combinations are discussed in this section:

MODE [D] with a Dynamics keyboard control

MODE [C] with a Pad or Pedal control

MODE [D] with a Dynamics Keyboard Control

A keyboard audio input is converted into the three signals at the Keyboard Interface (refer to KEYBOARD INTERFACE for detail).

TRIGGER Pulse

.....Starts sampler playback circuitry (detailed in COUNTER START/ STOP CONTROLLER)

VOLUME CONTROL Signal

.....Determines the level of the sampled sound through Dynamic Sensor IC3 (detailed in DYNAMICS SENSOR)

PITCH CONTROL Signal

.....Controls the rate of memory accessing (and D/A, S/H) timing of the Main Controller IC9 through the Master Clock GENERATOR IC10. The resultant effect is a shift of sampled sound pitch.

Also used for PLAYBACK TRIM (detailed in PLAYBACK TRIM section)

サンプリング再生時の動作 Fig. 2

再生モードにはトリガ再生モード([A]、[B]、[C])とゲート再生モード([D])とがあります。

ここでは下記2例について述べます。

- ダイナミクス付キーボードによるもの(モード[D]の場合)
- パッド又はペダルによるもの(モード[C]の場合)

ダイナミクス付キーボードによる再生 (MODE [D])

キーボードからのオーディオ信号は、キーボードインターフェースで3種類の信号に変換されます。

- トリガ信号 — サンプリング再生動作をスタートさせる。
- ボリュームコントロール信号 — IC3(ダイナミクスセンサー)を制御する事によりサンプリング音の音量を制御する。
- ピッチコントロール信号 — メモリ内に記憶されているサンプリング音データの読み出し速度を制御する。つまり、サンプリング音の音程を制御する。

MODE C with a Pad or Pedal Control

Control with Pad Input

The basic three controls are produced in the following ways:

TRIGGER Pulse

.....Produced at the Pad Interface. Starts the sampler playback circuits (detailed in COUNTER START/STOP CONTROLLER).

VOLUME CONTROL Voltage

.....Also developed at the Pad Interface. Applied to the control input of VCA of Dynamics Sensor which determines the level of sampled sound (detailed in DYNAMICS SENSOR).

PITCH CONTROL Signal

.....When KEYBOARD jack is not engaged, this signal is delivered from FINE/PITCH part of the Keyboard Interface: The pitch of the sampled sound is controlled from the FINE/PITCH control knob.

Control with Pedal Input

The basic three control signals are produced in the following ways:

TRIGGER Pulse

.....Produced at the dedicated TRIG circuit. Starts the sampler playback circuitry.

VCA BIAS CONTROL Voltage (instead of VOLUME CONTROL Signal)

.....TRIG output is sent to IC5 pin 13 (Pad Interface) where it is converted to a fixed voltage and then applied to Dynamics Sensor as a VCA BIAS VOLTAGE for keeping the sampled sound level constant. Note that this BIAS is also developed during disengage of PAD IN jack in mode [A], [B] or [C] in Delay or Sampler mode.

Pitch Control Signal

.....In the same way as in the Pad Control Input mode.

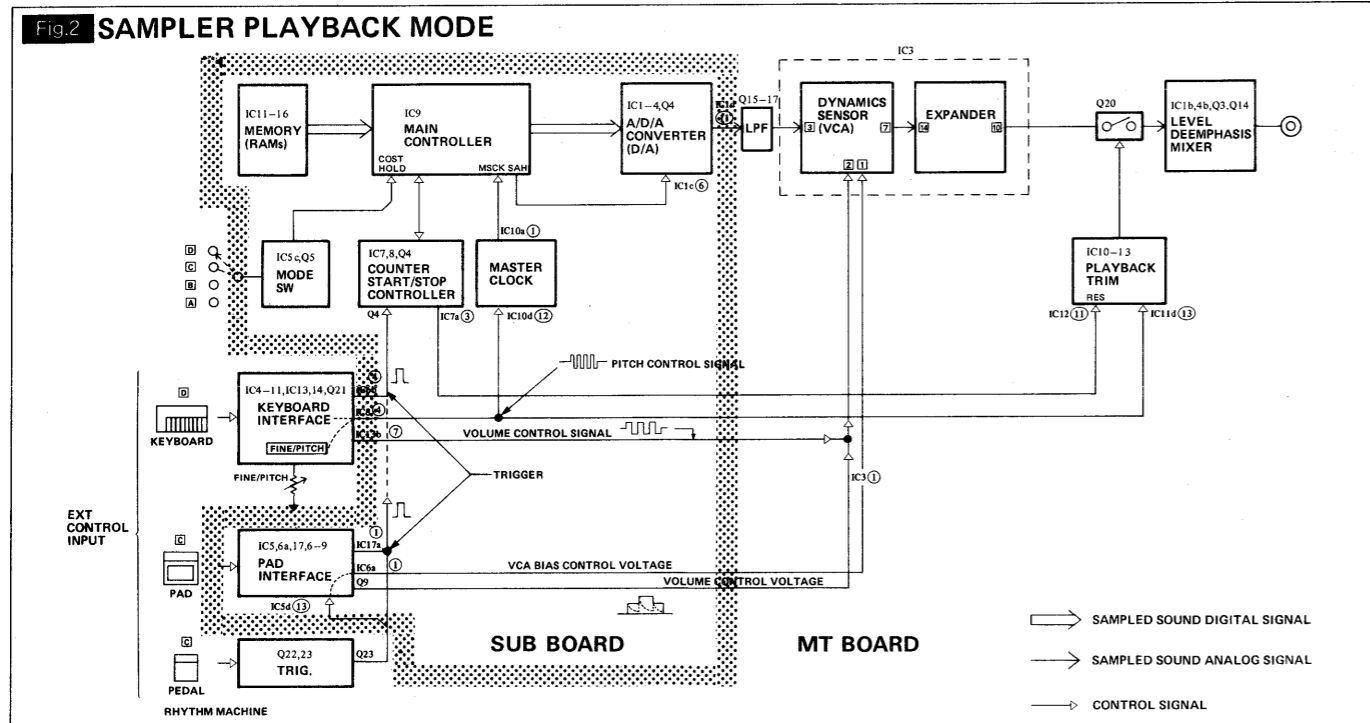
パッド又はペダルによる再生 (MODE C)

パッド入力時

- トリガ信号
パッドインターフェースで、作られサンプラ再生動作をスタートさせる。
- ボリュームコントロール電圧
パッドインターフェースで作られ、IC3 (ダイナミックセンサ) を制御する事によりサンプリング音の音量を制御する。
- ピッチコントロール信号
キーボードジャックに何も接続されていない時には、キーボードインターフェースは自動的に FINE/PITCH 回路に切換わる。FINE/PITCH つまみに従ったピッチコントロール信号がつけられる。

ペダル入力時

- トリガ信号
トリガ回路でつくり、サンプラ再生動作をスタートさせる。
- VCA バイアス電圧
パッドインターフェース内で、トリガ回路からのトリガ信号が変換されて VCA バイアス電圧となる。この電圧は IC3 ピン1 へ行き、音量制御が不要な場合 VCA の増幅度を一定に固定する。
※この電圧はディレイモード及びサンプラモード [A]、[B]、[C] の場合でパッド端子にプラグが接続されていない時にも同様に発生する。
- ピッチコントロール信号
(パッド入力時と同じ)

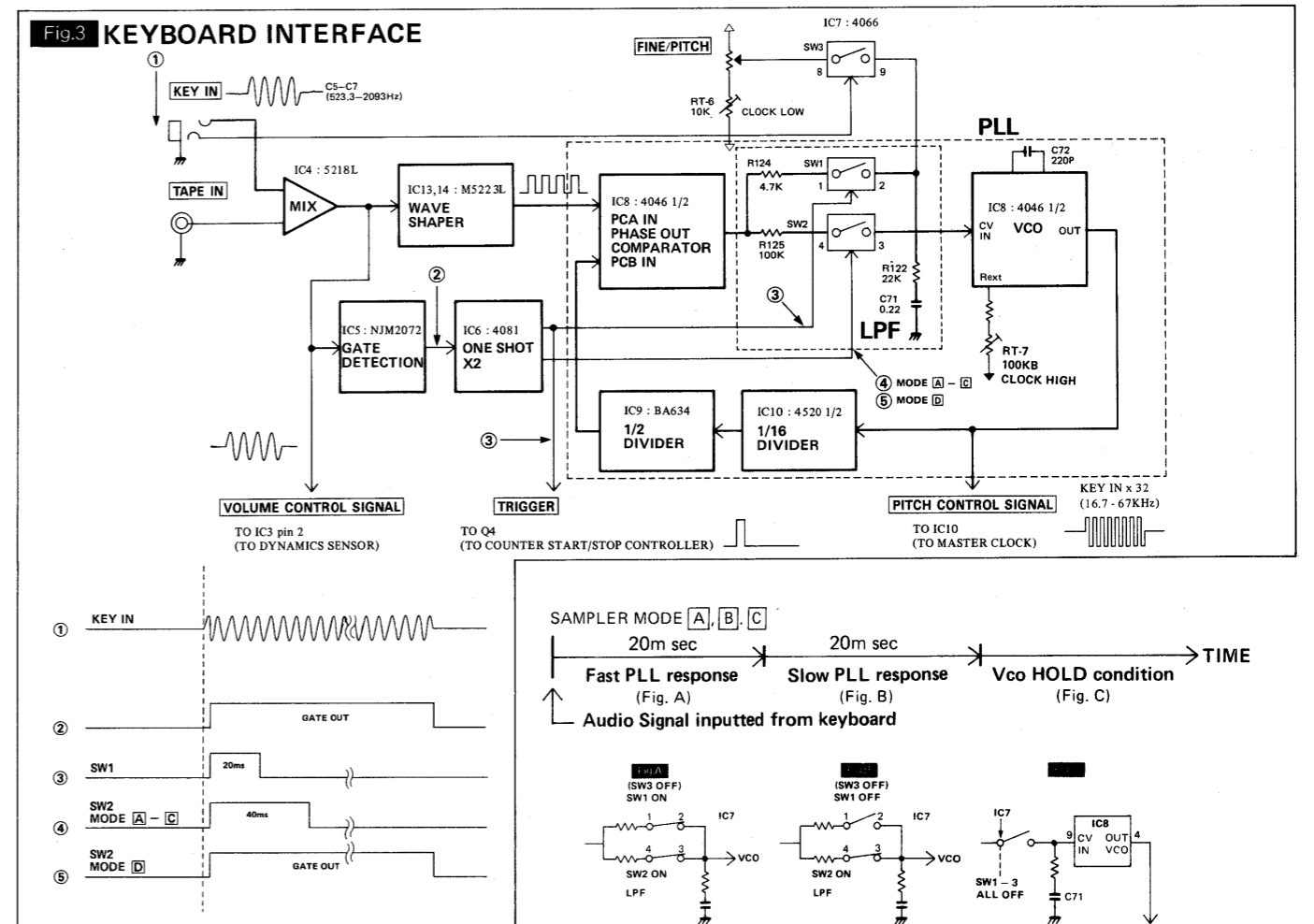


KEYBOARD INTERFACE Fig. 3

This stage generates a TRIGGER pulse, PITCH CONTROL signal and VOLUME CONTROL signal from a single keyboard audio input.

PITCH CONTROL SIGNAL

This part consists of PLL (phase locked loop) with switchings to select the time constant of the LPF. While only the SW1 is closed, the time constant is small and the VCO can track the quick changes in a pulsive or attack portion of a keyboard audio. After the SW2 is additionally closed, the time constant becomes large and the slower PLL reaction makes VCO frequency stable.



- A - AUTO RECORDING/PLAYBACK MODE**
- B - MANUAL RECORDING/PLAYBACK MODE**
- C - TRIGGER PLAYBACK MODE**
- D - GATE PLAYBACK MODE**

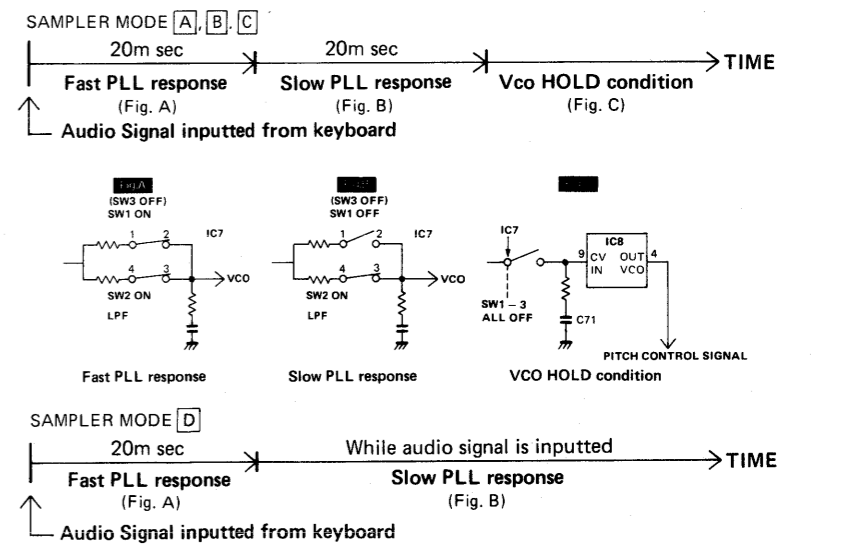
When KEYBOARD Jack is left disengaged (Pad or Pedal Triggering Mode) SW1 and SW2 are made open, disconnecting the PLL path from the VCO. The VCO frequency is now relies on FINE/PITCH control. With this configuration neither trigger nor volume control is supplied from the Keyboard Interface.

キーボードインターフェース Fig. 3

この回路はキーボード入力から、トリガ信号、ピッチコントロール信号、音量コントロール信号を出力します。

ピッチコントロール信号

キーボード入力をピッチコントロール信号へ変換するには PLL 回路が採用されている。通常の PLL 回路では、ループ内の LPF の時定数を小さくすると入力信号に対する VCO 追従速度が速くなる。従って RSD-10 では、入力信号のアタック部分では LPF の時定数を小さく保って倍音成分の速い変化に VCO が追従出来るようにしておき、それ以降の基本音成分部分では時定数を大きくして VCO の発振を安定化している。



キーボードジャックに何も接続されない場合 (パッド又はトリガ入力の場合など) SW1、2 が OFF しているため PLL 回路が形成されず、VCO の発振周波数は FINE/PITCH コントロールからの電圧で決まる (トリガ信号、音量コントロール信号は出力されない)。

PAD INTERFACE Fig. 4

This circuit generates, from a pad input, a VOLUME CONTROL signal whose level is proportional to that of the pad signal, and affects the volume of the sampled sound. Also generates a TRIGGER pulse for starting a record or a playback process.

When the voltage from Envelope Follower IC17b exceeds the threshold of the Level Comparator IC17a, Q6 is conducted by a narrow positive going pulse and discharges hold capacitor C26 by 30%. C26 is then charged to the peak voltage of the envelope through D20 and holds the voltage. C26 will discharge on the next TRIGGER by 30%. If the peak of the next envelope will not exceed a voltage that forward biases the D20 against C26's residual voltage, C26 will remain 30%—discharged. That is, the new pad input only resets the hold circuit and discharges the capacitor by 30%.

Another stage IC5a, b and IC6a in this interface is used for generating VCA BIAS voltage— see SAMPLER PLAYBACK MODE, PEDAL CONTROL INPUT.

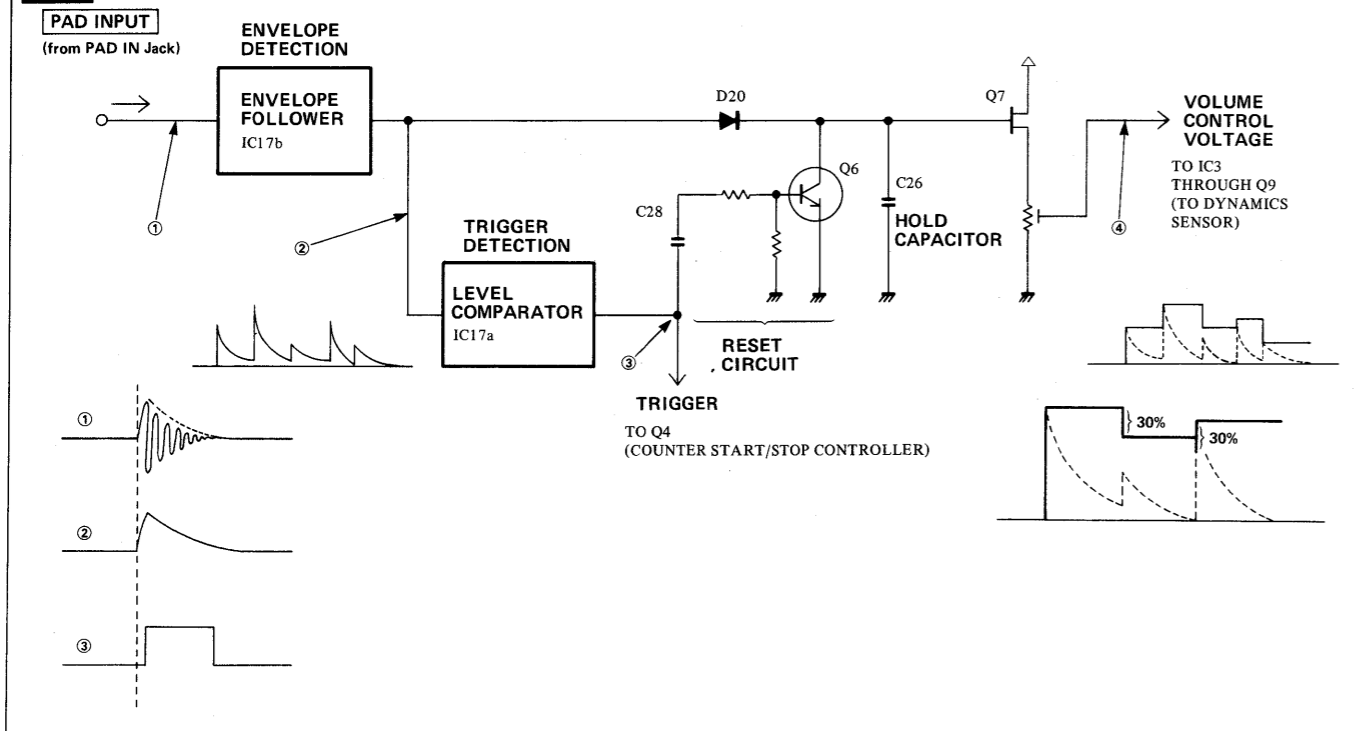
パッドインターフェース回路 Fig. 4

この回路のパッド信号の強弱を検出し、信号振幅に応じた音量コントロール信号を作り出すと同時にトリガ信号も作り出す。

パッド信号が入力されると Fig.4のようにエンベロープ検出(①→②)、トリガ検出(②→③)が行なわれる。トリガ信号③により、リセット回路Q6は一瞬ONになり、C26(ホールドコンデンサ)の電荷は約30%放電される。その後リセット直後のエンベロープ最大振幅値が、C26でホールド(③→④)される。

※大きなパッド入力後の入力値が、前にホールドされているエンベロープ値の約70%に達しない場合、後のエンベロープは無視される。つまり後のパッド出力はリセット信号としての役目しか働かない。

Fig.4 PAD INTERFACE



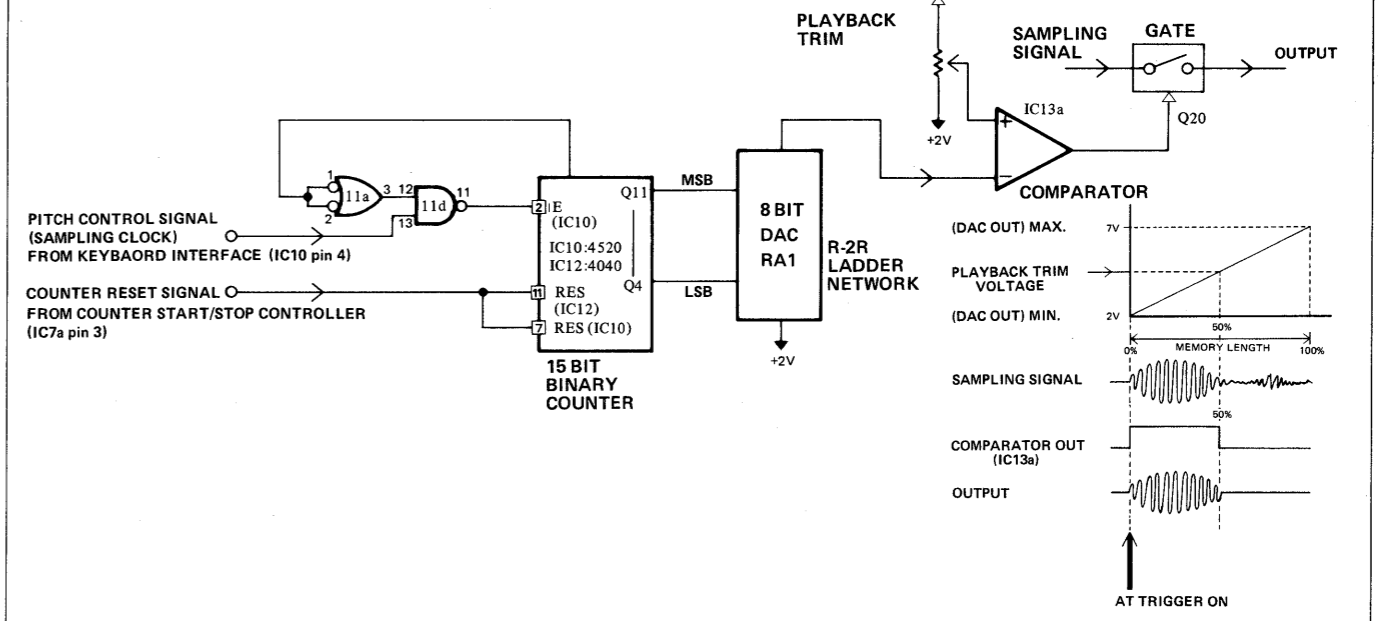
PLAYBACK TRIM Fig. 5

This circuit determines the reproduction period of sampled sound. At the same time the sampler playback starts, the 15-bit binary counter (IC10 and IC12) is reset on a COUNTER RESET signal and starts counting the PITCH CONTROL (sampling clocks). The 8-bit counts from the counter causes the DAC (RA1) output voltage to ramp from 2V toward 7V. Since the intervals of the sampling clocks and the memory address steps are the same, the DAC output ramp time can be correlated with the RAM memory length; 7V being the end of memory address. The comparator IC13a turns Q20 off when the DAC output voltage exceeds the voltage set by PLAYBACK TRIM, shutting in the sampled sound.

プレイバックトリム回路 Fig. 5

サンプリング音の再生が開始されると同時に15ビットバイナリカウンタ(IC10、IC12)はカウンタ・リセット信号でリセットされた後、ピッチコントロール信号(サンプリングクロック)をカウントアップして行く。カウンタ出力のうち8ビットはRA1でアナログ電圧に変換されるが、カウント開始時の2V以後7Vへと向ってスイープして行く。ピッチコントロール信号(サンプリングクロック)の周期とメモリアドレスの進行ステップは同じなので、2Vがアドレスの先頭番地、7Vが最終番地に対応します。RA1の出力電圧がPLAYBACK・TRIMの設定電圧を超えた時点でコンパレータIC13aの出力が反転し、サンプリング信号をカットする。

Fig.5 PLAYBACK TRIM



DYNAMICS SENSOR Fig. 6

This circuit controls the volume of sampled sound, with the control voltage derived from a keyboard audio signal or a pad. Exemplified in Fig. 6 is the flow of control signals when in mode (D) (GATE PLAY) with the volume of a sampled sound being controlled from a dynamics keyboard.

The VOLUME CONTROL signal from the Keyboard Interface is rectified and applied to the variable gain cell (VCA).

The VOLUME CONTROL signal is replaced by the voltage from Q9 of Pad Interface when pad output is fed to PAD IN jack in sampler A, B or C mode. If the PAD IN jack is not engaged in either of these modes or delay mode, IC3 is kept at the fixed gain determined by the BIAS VOLTAGE on pin 1.

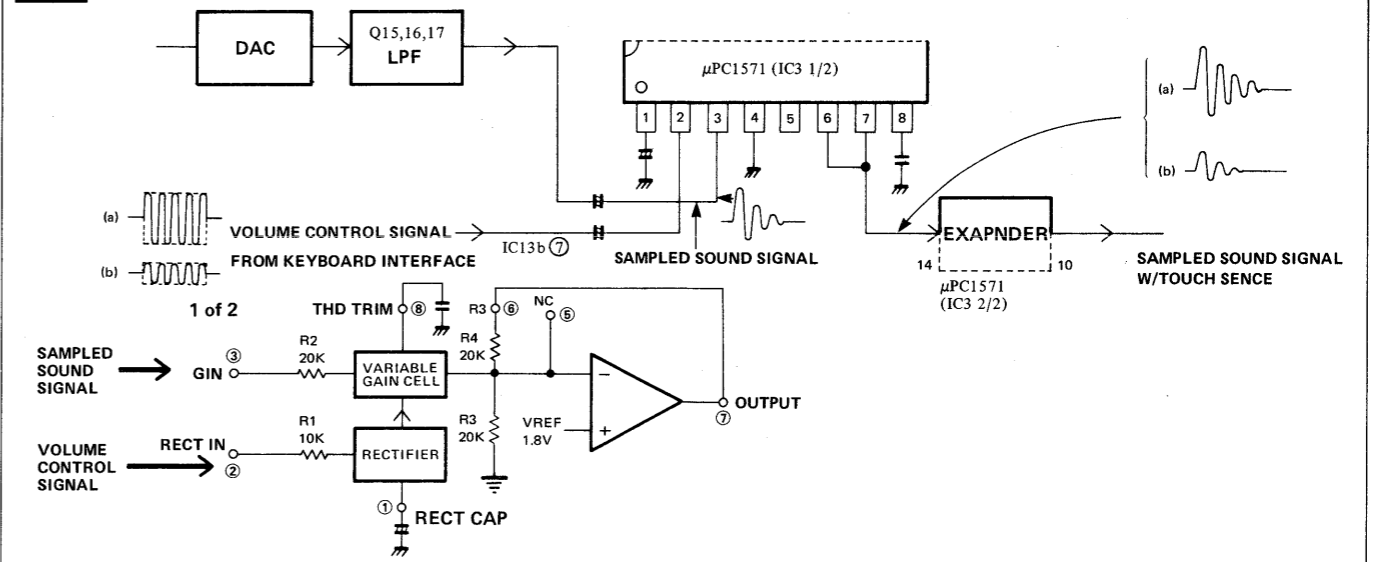
ダイナミクスセンサ回路 Fig. 6

この回路は、キーボード信号の音量(またはパッド入力の強さ)に応じてサンプリング音の音量をコントロールします。Fig.6は、モード(D)(GATE PLAY)時に、ダイナミックキーボードでサンプリング音量をコントロールする場合です。キーボードインターフェースからの音量コントロール信号は、IC3内の整流器で整流されます。その整流電圧でバリエブル・ゲイン・セル(VCA)をコントロールする事により整流電圧に比例した出力がつけられます。

※サンプリングモードA、B、Cの場合でパッド端子にプラグが接続されている時には、IC3の2番ピンにボリウムコントロール電圧が加わり同様に音量制御をする。

※ディレイモード及びサンプリングモードA、B、Cの場合でパッド端子にプラグが接続されていない時にはVCAの増幅度はIC3の1番ピンに加えられている固定バイアス電圧のみで決まる。

Fig.6 DYNAMICS SENSOR



MASTER CLOCK GENERATOR Fig. 7

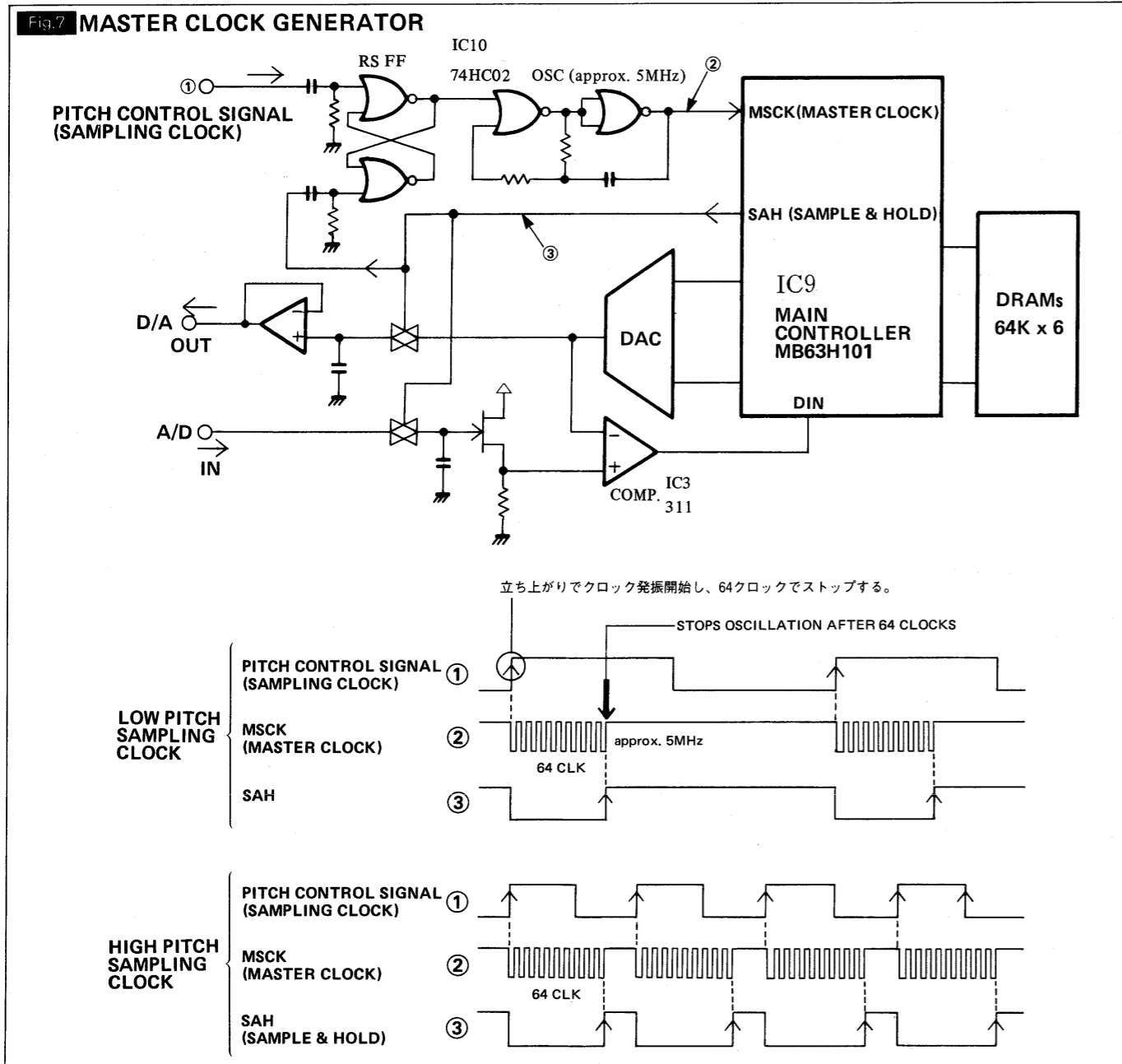
Master Clock Generator IC10a, b starts oscillation on the positive going edge of PITCH CONTROL from the Keyboard Interface, output frequency being approximately 5MHz.

The Main Controller IC9, when being fed with the MASTER CLOCKS, completes a cycle of writing or reading of the RAM memory by the 64th clock and swings SAH to high. The SAH resets the Master Generator and keeps it at rest till another low to high transition of PITCH CONTROL occurs. In this way, although the frequency of the MASTER CLOCK remains constant the frequency of clocks of the timing generator inside the Main Controller varies in proportion to the change of PITCH CONTROL frequency. The clock rate of the timing generator determines the timing of ADC, DAC, S/H and RAM accessing. Therefore, when the PITCH CONTROL lowers in frequency, the clock rate of the timing generator lowers and consequently the pitch of sampled sound also lowers.

マスタークロック回路 Fig. 7

発振器 (IC10a, b) は、キーボードインターフェースからのピッチコントロール信号の立上りで、発振(約5 MHz)を開始する (MASTER CLOCK)。メインコントローラは、このマスタークロックの64クロックでメモリへの書き込み、または読み出しを終了し、完了と同時に、SAH信号を出力する。このSAH信号で発振器はリセットされ、発振を停止する。次のピッチコントロール信号の立上りで再び同様の過程が進行する。

つまりピッチコントロール信号の周波数が低いと、メモリへの書き込みまたは、読み出しに必要な一サイクル (64 CLK) 時間が変化するというわけではなく、マスタークロックの停止時間が長くなる。つまり発振周波数が低くなったのと同様の効果となる。マスタークロックは、 D_A 、 S_H 、RAMアクセス等のタイミングの基礎となるので、マスタークロックの発振周波数が低くなれば再生時のサンプリング音のピッチは低くなる。



COUNTER START/STOP Fig. 8

This circuit handles the start/stop of the memory address counter in the main controller IC9. Whenever a TRIGGER pulse is applied to the base of Q4, it causes IC7a and b to have pulses of opposite polarity. The COUNTER START signal on S pin of IC7c and d enables them to generate pulses of Q (L to H) and Q (H to L). Q removes COUNTER STOP (COST), allowing IC9 to access to the beginning of memory address (RAMs IC11 - IC16). At the end of memory address IC9 pulls TEMP low, signaling the IC7c, d to generate a COUNTER STOP signal (Q = L to H). This memory access cycle of one-trigger/entire address can be interrupted by a new TRIGGER pulse input during memory access: In this case only COUNTER RESET from pin 3 of IC7a to DATA of IC9 is active; IC9 skips the remaining addresses and jumps to the beginning of the address. In the DELAY mode COST of IC9 is parmanently pulled up, defeating COUNTER STOP, even if developed.

AUTO REC

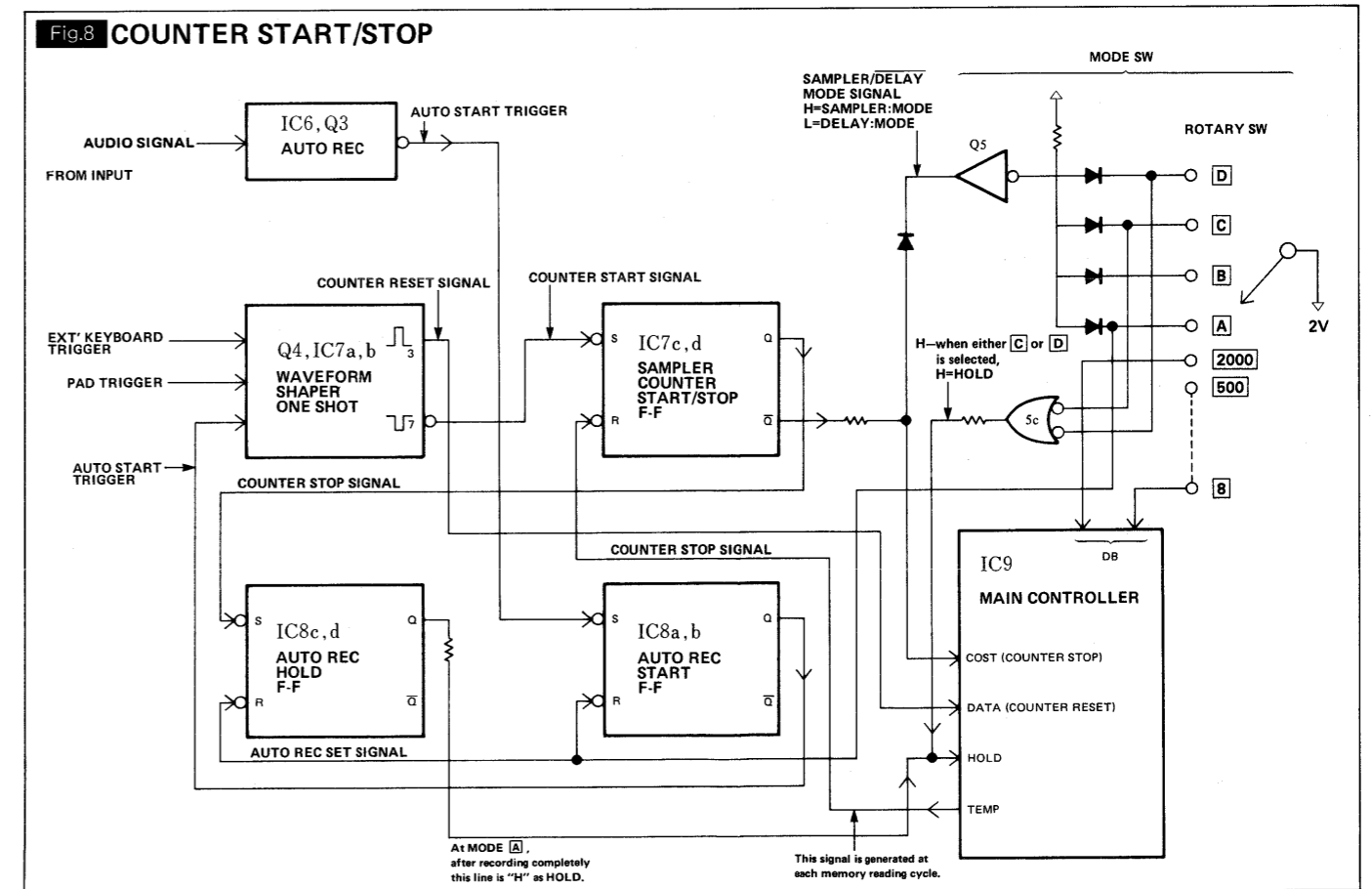
Placing MODE at [A] keeps the two FFs of IC8 in the reset status. Upon receiving a sufficient level audio signal, AUTO REC IC6 and Q3 applies a low to S of IC8a and b which generates AUTO START trigger pulse. The Q4 and IC7a-d response to this trigger pulse as mentioned previously: removal of COST (H to L). The main controller IC9 starts storing data to RAMs, and when completes accessing to all memory cells develops TEMP; IC7c, d pulls its Q low (COUNTER STOP); IC8c, d swings its Q output high (HOLD). The IC9 transfers this high HOLD to its WRITE pin, protecting RAMs from being rewritten over the existing data. To release write protection, MODE switch must be set temporarily to [B], then again to [A].

カウンタスタート、ストップ回路 Fig. 8

トリガ入力は、Q4、IC7a、bにより一定パルス幅のカウンタ (IC9内) リセット信号とF.F. (IC7c、d) スタート信号に変換される。この信号によりIC7c、dはカウンタストップ信号を解除され (Qの場合H→L)、IC9はメモリの先頭番地へアクセスします。メモリが一周するとIC9からのTEMPによりIC7c、dはリセットされ (Qの場合L→H)、カウンタストップ信号を出力します。この様にトリガ1回につきメモリが1回呼び出される。IC9のカウンタが進行中に新しいトリガが入力された場合は、カウンタリセット (DATA)のみが有効となるため、メモリは再び先頭番地から呼び出される。ディレイモード時はCOSTが強制的にLに引っ張られており、カウンタがストップするのを防止している。

オートレック

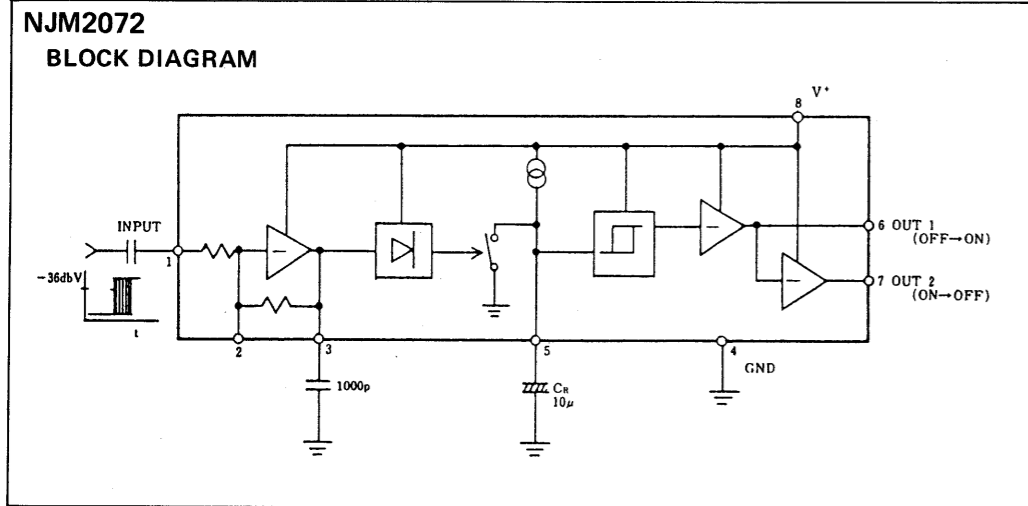
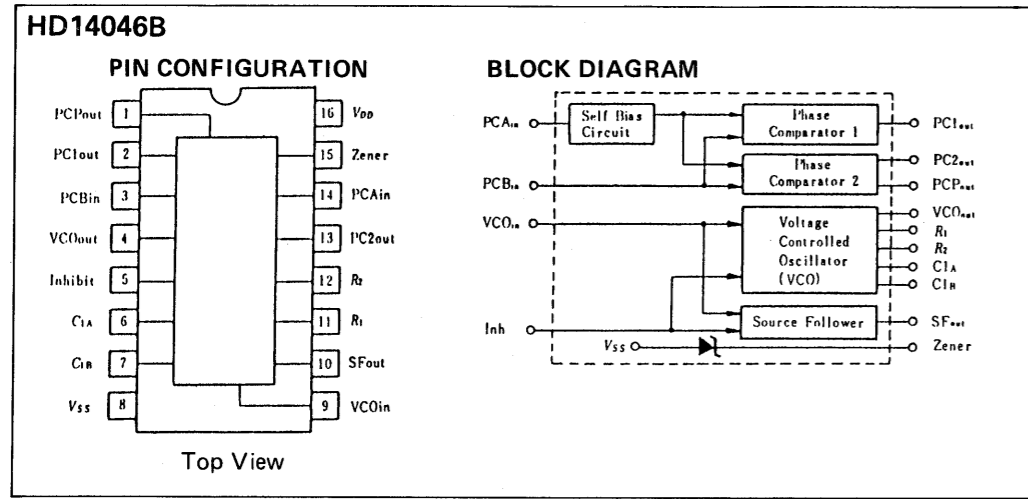
モードスイッチが[A]にセットされているとIC8内の2つのF.F. はリセット状態にある。INPUTジャックに音声信号が入ると、オートレックスタート信号が、IC8a、bのSに加えられ、オートスタート・トリガが発生する。これによりIC7c、dのQ出力がHからLとなり、COSTが解除される。メモリ1周分のデータが書き込まれるとIC9からのTEMPによりIC7c、dがカウンタストップ信号をIC8c、dに加える。IC8c、dのQ出力はHとなり、再書き込みが防止される。※録音し直す場合は、一度モード[B]にセットしてから再びモード[A]にセットする事。



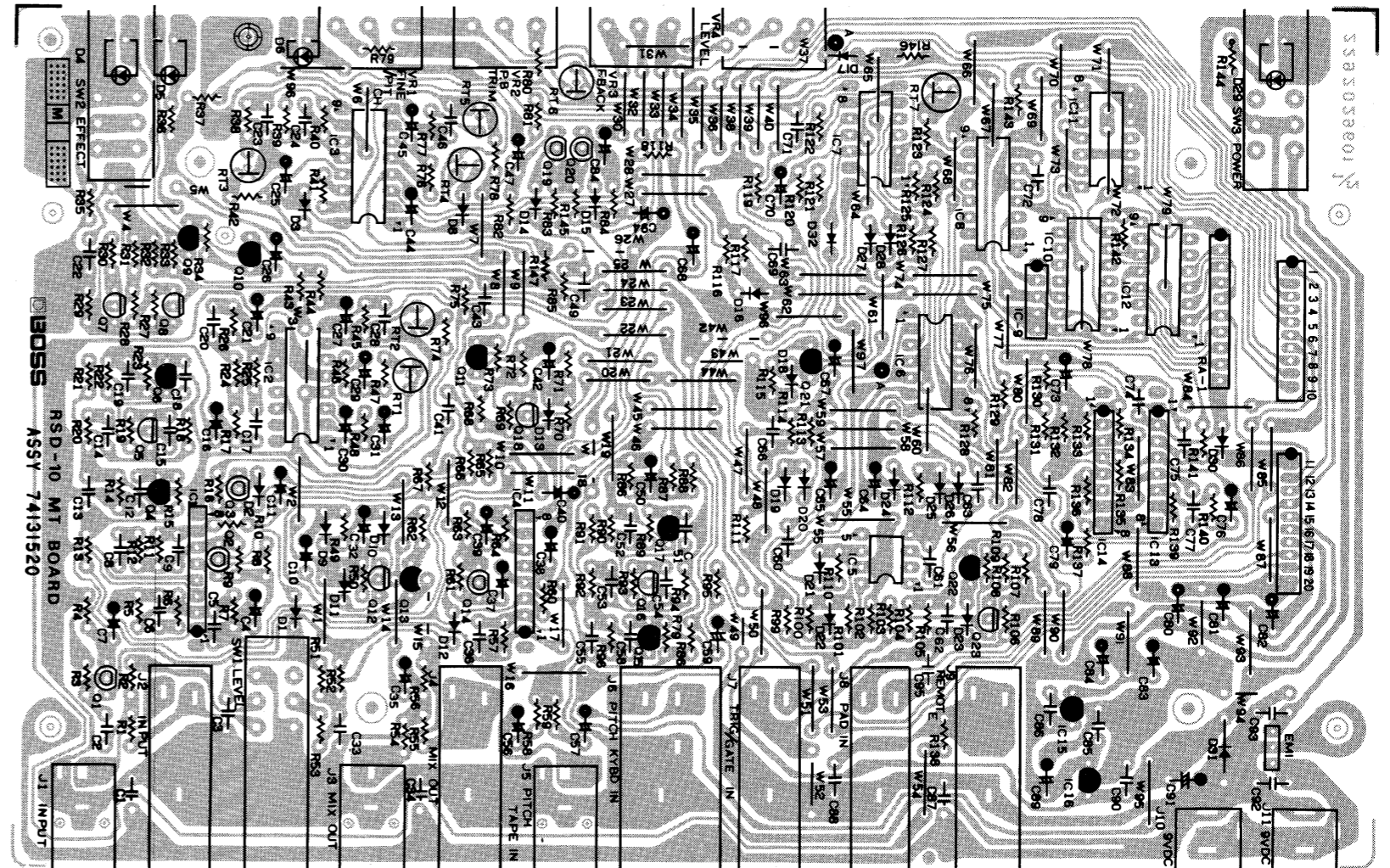
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

A B C D E F G H I J K L M N O P Q R S T U V

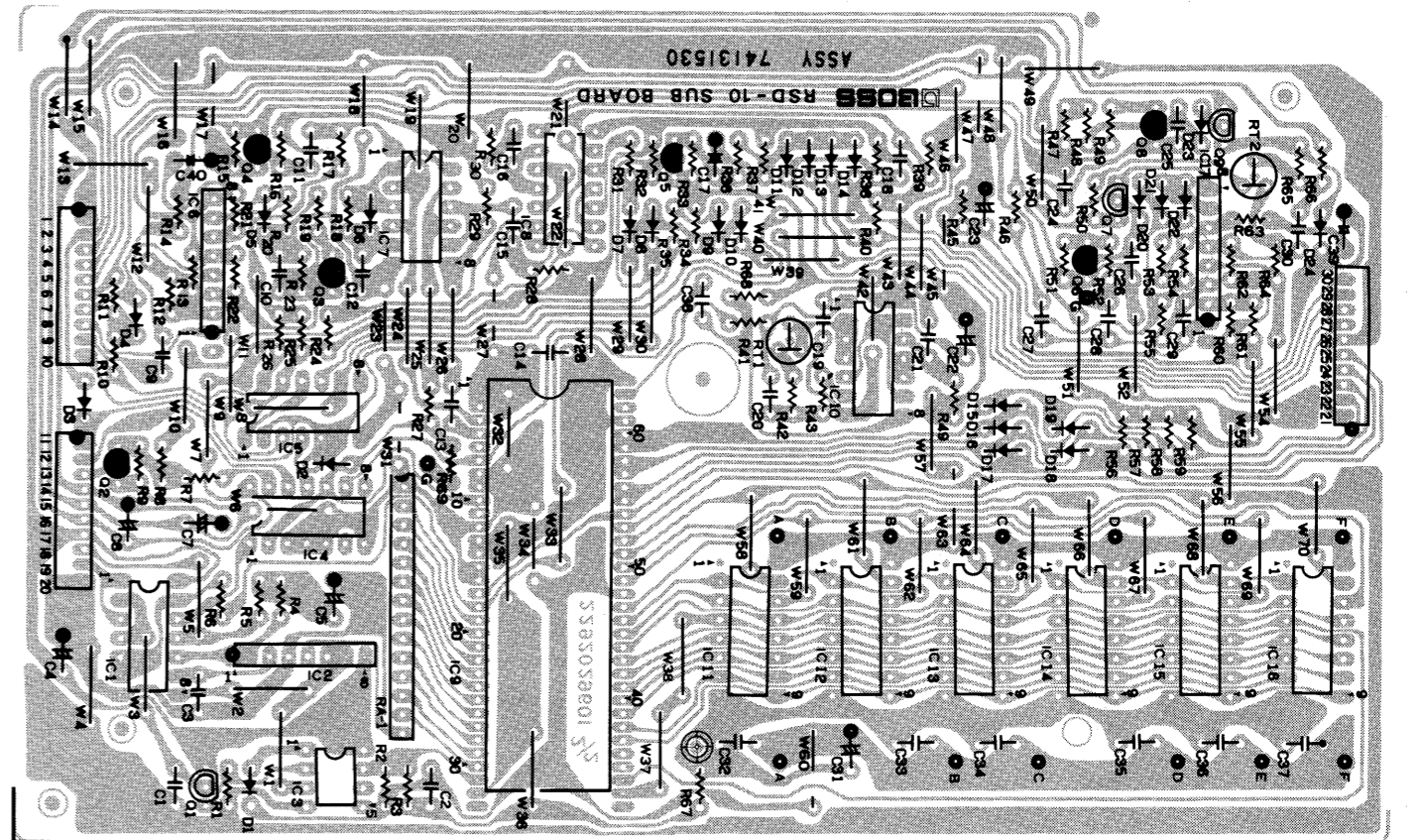
IC DATA



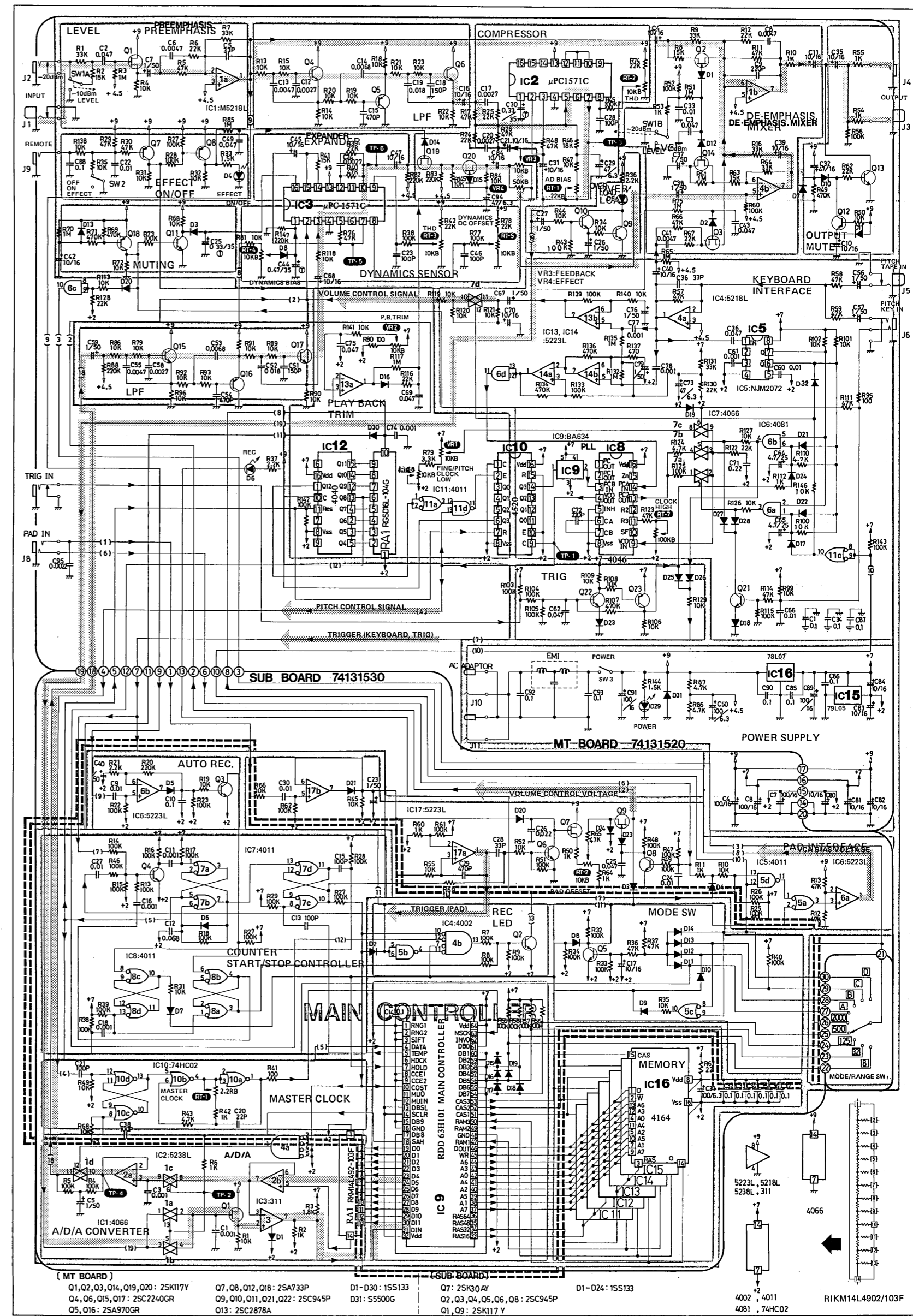
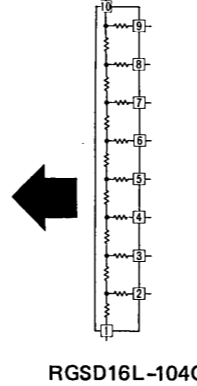
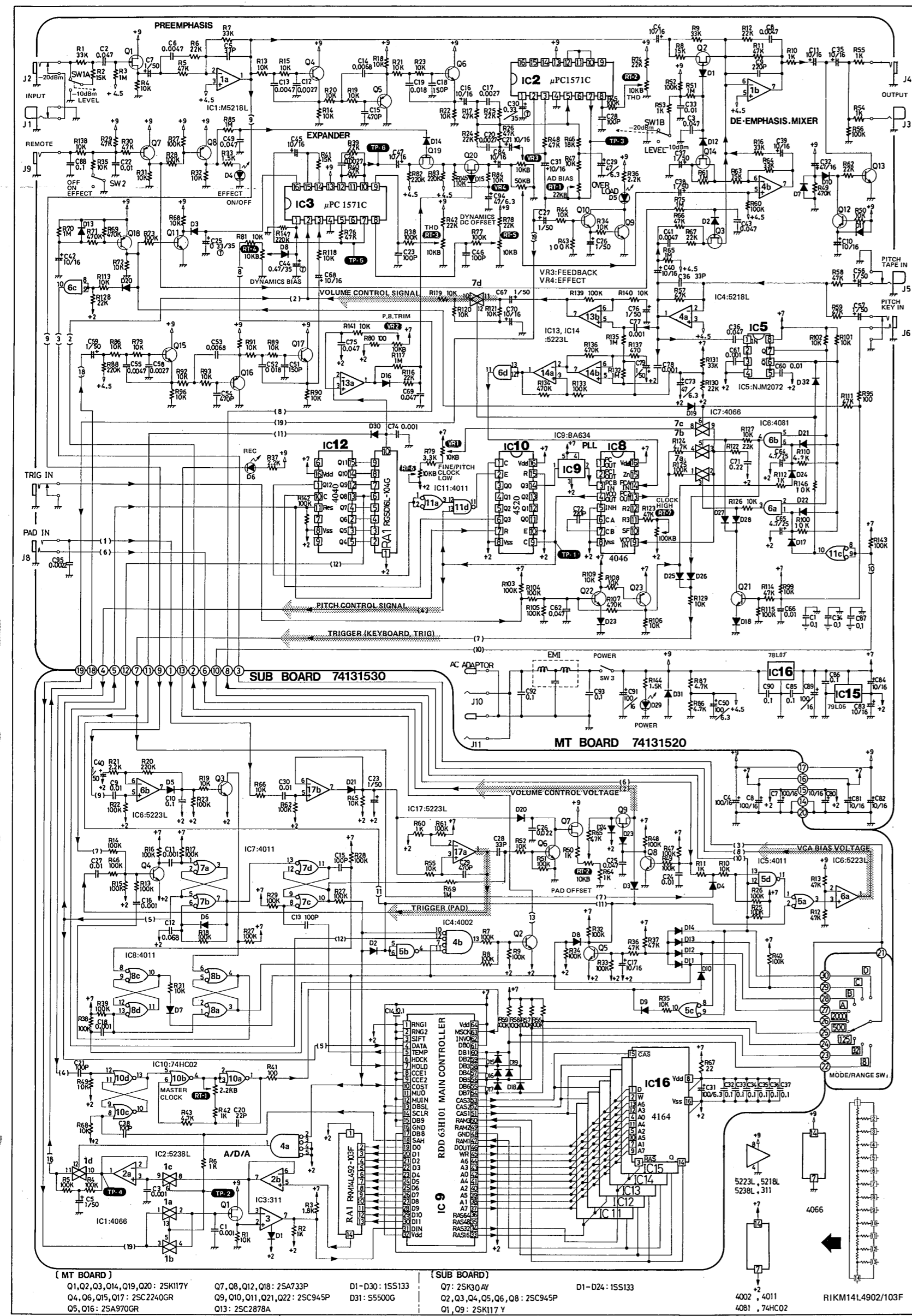
MT BOARD
74131520
(pcb 2292029601)



SUB BOARD
74131530
(pcb 2292029601)



CIRCUIT DIAGRAM



A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V
W
X
Y
Z

- [MT BOARD]
 - Q1, Q2, Q3, Q4, Q19, Q20: 2SK117Y
 - Q7, Q8, Q12, Q18: 2SA733P
 - D1-D30: 1SS133
 - Q4, Q6, Q15, Q17: 2SC2240GR
 - Q9, Q10, Q11, Q21, Q22: 2SC945P
 - D31: 5S500G
 - Q5, Q16: 2SA970GR
 - Q13: 2SC2878A
- [SUB BOARD]
 - Q7: 2SK30AY
 - Q2, Q3, Q4, Q5, Q6, Q8: 2SC945P
 - Q1, Q9: 2SK117Y
 - D1-D24: 1SS133
 - 4002, 4011, 4081, 74HC02
 - RIKM14L4902/103F

- [MT BOARD]
 - Q1, Q2, Q3, Q4, Q19, Q20: 2SK117Y
 - Q7, Q8, Q12, Q18: 2SA733P
 - D1-D30: 1SS133
 - Q4, Q6, Q15, Q17: 2SC2240GR
 - Q9, Q10, Q11, Q21, Q22: 2SC945P
 - D31: 5S500G
 - Q5, Q16: 2SA970GR
 - Q13: 2SC2878A
- [SUB BOARD]
 - Q7: 2SK30AY
 - Q2, Q3, Q4, Q5, Q6, Q8: 2SC945P
 - Q1, Q9: 2SK117Y
 - D1-D24: 1SS133
 - 4002, 4011, 4081, 74HC02
 - RIKM14L4902/103F

ADJUSTMENT 調整仕様

Adjustments except for the SUB board can be accessed by just removing the top cover.

SUB ボード RT-1 以外の調整はトップカバーを外すだけで可能ですが、下記の状態まで分解しても OK です。

1. Power Supply 電圧の確認

Before performing any of the adjustments, verify the DC supply voltage. It must be within $9.5 \pm 0.1V$ when measured at the POWER switch with the unit turned on. The voltage should be checked even if the unit is separately powered from a BOSS PSA AC adaptor.

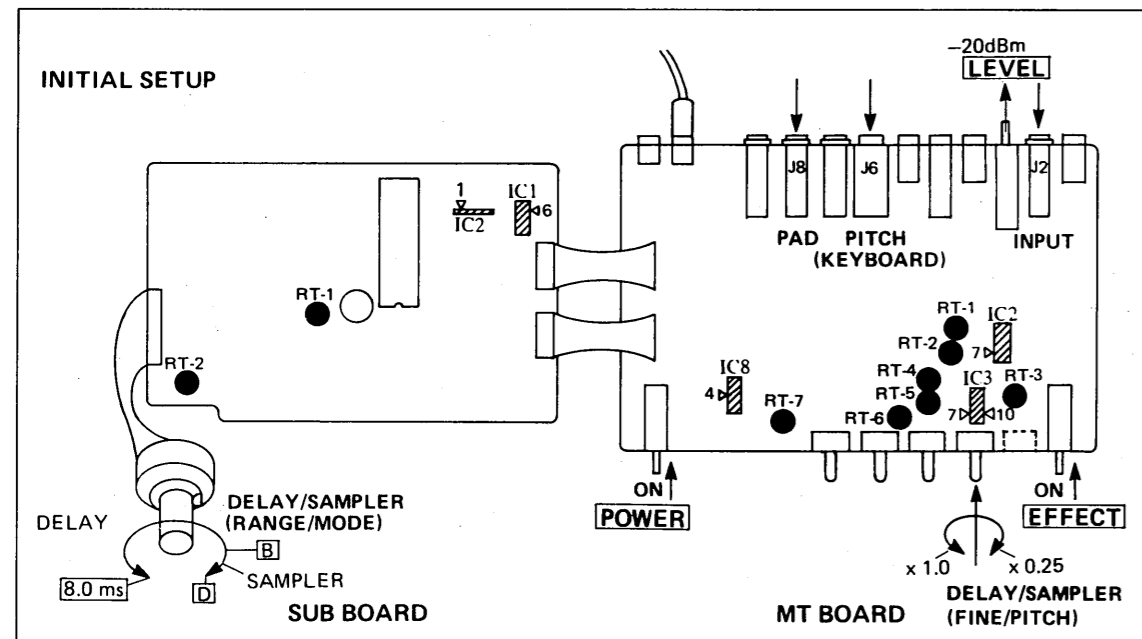
CAUTION

The following adjustments should be performed in numerical sequence.

NOTE

Controls settings not directed will not affect the procedure.

電圧計で、AC アダプタ・ジャックの端子電圧が $9.5 \pm 0.1V$ である事を確認する。



2. Clock クロック

- Connect a frequency counter or oscilloscope to the TP-1 (pin 4 of IC8) on the MT board.
- Set the FINE/PITCH knob at $\times 0.25$, and adjust the RT-7 (CLOCK HIGH) on the MT board for $13.5 \pm 0.5 \mu s/cycle$.
- Set the FINE/PITCH knob at $\times 1.0$, and adjust the RT-6 (CLOCK LOW) on the MT board for $60 \pm 3 \mu s/cycle$.

- TP-1 (MT ボードの IC8 の 4 番ピン) にオシロスコープを接続する。
- FINE/PITCH を $\times 0.25$ にして周期が $13.5 \pm 0.5 \mu s$ になる様に MT ボード上の RT-7 (CLOCK HIGH) を調整する。
- FINE/PITCH を $\times 1.0$ にして周期が、 $6.0 \pm 3 \mu s$ になる様に MT ボード上の RT-6 (CLOCK LOW) を調整する。

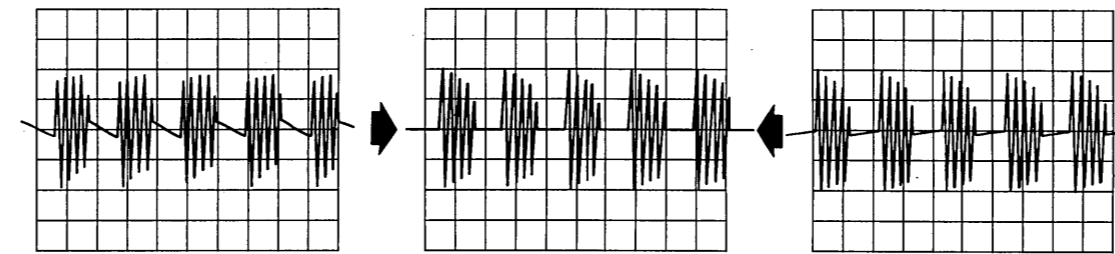
3. Master Clock マスタークロック

- Connect the oscilloscope to the TP-2 (pin 6 of IC1) on the MT board.
- Set the FINE/PITCH knob at $\times 0.25$.
- Rotate the RT-1 on the SUB board FCCW. Now slowly rotate the RT-1 CW until the pulse width is $1 \mu s$.

- SUB ボードの TP-2 (IC1 の 6 番ピン) にオシロスコープを接続する。
- FINE/PITCH を $\times 0.25$ にセットする。
- SUB ボードの PT-1 (MASTER CLOCK) を左端から徐々に右に回し、パルス幅が $1 \mu s$ になった所で止める。

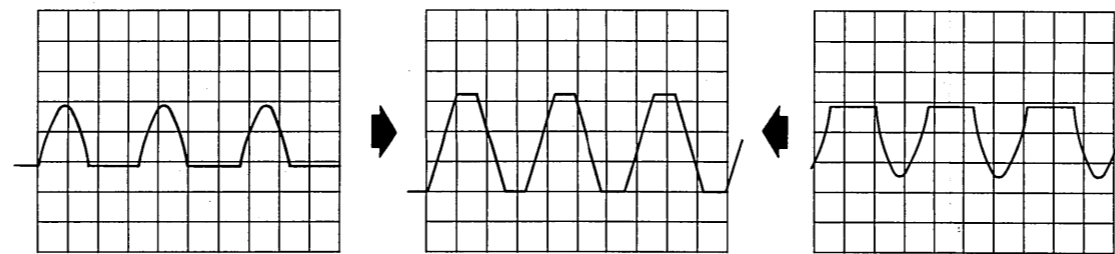
4. Compressor Distortion Ratio コンプレッサ歪率

- Connect a 150mVpp, 400Hz, 4-0-4 cycle burst signal to the INPUT jack.
 - Connect the oscilloscope to the TP-3 (pin 7 of IC2) on the MT board.
 - Adjust the RT-2 on the MT board to minimize the DC drift.
- INPUT ジャックに 400Hz、150mV.P.P の 4-0-4 波バースト信号を入力する。
 - TP-3 (MT ボード・IC-2 の 7 番ピン) にオシロスコープを接続する。
 - DC レベルが水平になる様、MT ボード・RT-2 (THD) を調整する。



5. A/D/A Bias A/D/Aバイアス

- Connect a +6dBm, 1kHz, sine signal to the INPUT jack.
 - Connect the oscilloscope to the TP-4 (pin 1 of IC2) on the SUB board.
 - Adjust the RT-1 on the MT board for most symmetrical waveform.
- INPUT ジャックに 1kHz + 6dBm のサイン波を入力する。
 - TP-4 (SUB ボード・IC2 の 1 番ピン) にオシロスコープを接続する。
 - 波形が上下対称になる様 MT ボード上の RT-1 (AD BIAS) を調整する。



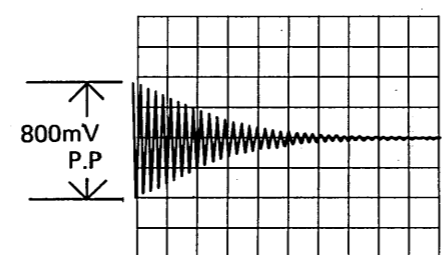
6. Pad Input Offset パッド入力オフセット

- Connect a -10dBm, 1kHz, sine signal to the INPUT jack. Connect an 800mVpp 200Hz, 4-0-4 (0 equals 12 cycles) burst signal as shown in Fig. A to the PAD INPUT jack. Here, since a damping wave is also applicable, an electronic metronome or rhythm machine (DB-33, DB-66, DR-110, TR909, TR707, TR606, etc) can be used.

Example: The DB-33 will provide an 800mVpp pulse train at ♪ tempo.

- Connect the oscilloscope to the TP-5 (pin 7 of IC3) on the MT board.
- Set the RANGE/MODE knob at the SAMPLER mode [8].
- Rotate the RT-2 on the SUB board FCCW (when viewed from component side). Now rotate it CW slowly until the amplitude becomes 200mVpp. Do not advance the RT-2 for a further low amplitude. Excessive rotation will increase the level again, leading to erroneous adjustment.

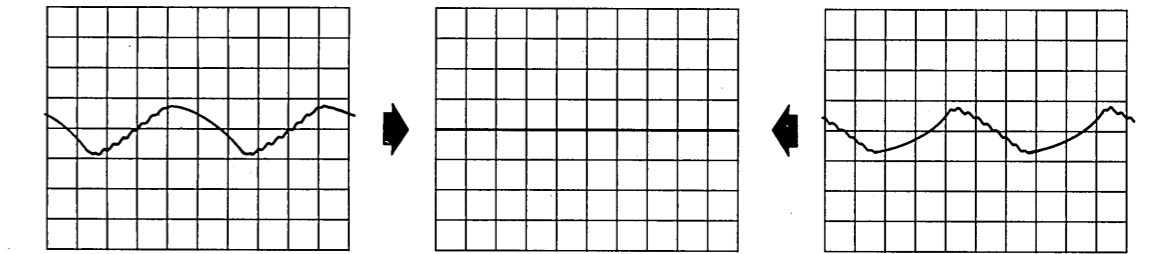
- INPUT ジャックに 1kHz、-10dBm のサイン波を、パッド入力ジャックに下図の様な信号 (DB-33 の ♪ の信号で、800mV.P.P) を入力する。
- TP-5 (MT ボード・IC3 の 7 番ピン) にオシロスコープを接続する。
- RANGE/MODE をサンプラ・モード [8] にセットする。
- SUB ボード上の RT-2 を左端 (部分面から見て) から徐々に右に回し、波形が 200mV.P.P になった所で止める。



Waveform of ♪ From DB-33

7. Dynamic DC Offset ダイナミクスDCオフセット

- Connect a 150mVpp, 400Hz, 4-0-4 burst signal to the PITCH (KEYBOARD) jack.
 - Connect the oscilloscope to the TP-5 (pin 7 of IC3) on the MT board.
 - Set the RANGE/MODE knob at the SAMPLER mode [8].
 - Adjust the RT-5 on the MT board for minimum DC drift.
- PITCH (KEYBOARD) ジャックに 400Hz、150mV.P.P の 4-0-4 波バースト信号を入力する。
 - TP-5 (MT ボード・IC3 の 7 番ピン) にオシロスコープを接続する。
 - RANGE/MODE をサンプラ・モード [8] にセットする。
 - 波形が水平 (ほぼ直流) になる様 MT ボード・RT-5 を調整する。



8. Dynamic Bias ダイナミクス、バイアス

- Connect a -10dBm, 1kHz, sine signal to the INPUT jack.
 - Connect the oscilloscope to the TP-5 (pin 7 of IC3) on the MT board.
 - Set the RANGE/MODE knob at the DELAY mode [8.0] ms.
 - Adjust RT-4 on the MT board for 1.5Vpp.
- INPUT ジャックに 1kHz、-10dBm のサイン波を入力する。
 - TP-5 (MT ボード・IC3 の 7 番ピン) にオシロスコープを接続する。
 - RANGE/MODE をディレイ・モード・[8.0] ms にセットする。
 - MT ボード・RT-4 を回し、振幅が 1.5V.P.P になる様セットする。



9. Expander Distortion Ratio エキスパンダ歪率

- Connect a 150mVpp, 400Hz, 4-0-4 burst signal to the INPUT jack.
 - Connect the oscilloscope to the TP-6 (pin 10 of IC3) on the MT board.
 - Set the RANGE/MODE at the DELAY mode [8.0] ms.
 - Adjust the RT-3 on the MT board for most straight DC line.
- INPUT ジャックに 400Hz、150mV.P.P の 4-0-4 波バースト信号を入力する。
 - TP-6 (MT ボード・IC3 の 10 番ピン) にオシロスコープを接続する。
 - RANGE/MODE をディレイ・モード・[8.0] ms にセットする。
 - DC レベルが水平になる様、MT ボード・RT-3 (THD) を調整する。

