

P.2900/81



BIULETYN TECHNICZNY

TECHNIBIB

7⁽²³³⁾
1981

Redakcja Kolegium w składzie:
mgr A. Chróścielewska, mgr inż. J. Dziewięcki,
prof. dr hab. inż. A. Janicki (redaktor naukowy),
dr inż. W. Kossowski, inż. L. Kowalski (redaktor działu "Technika"),
mgr J. Kutrowska (sekretarz redakcji),
mgr inż. J. Reluga (redaktor działu "Technologia"),
mgr inż. A. Teodorczuk, mgr inż. T. Ustaborowicz,
mgr inż. M. Wajcen (redaktor naczelny), mgr inż. R. Zieleniewski

Warunki prenumeraty

Jednostki gospodarki społecznej, instytucje, organizacje i wszelkiego rodzaju zakłady pracy zamawiają prenumeratę w miejscowych Oddziałach RSW "Prasa Książka Ruch", w miejscowościach zaś, w których nie ma Oddziałów RSW – w urzędach pocztowych. Czytelnicy indywidualnie opłacają prenumeratę wyłącznie w urzędach pocztowych i u doręczycieli. Prenumeratę roczną w cenie 516 zł należy zanawiać do 25 listopada na rok następny, półroczną do 10 czerwca na II półroczu.

ZJEDNOCZENIE PRZEMYSŁU AUTOMATYKI
I APARATURY POMIAROWEJ „MERA”

P. 2900 | 81



„MERA”

BIULETYN PRZEMYSŁU
KOMPUTEROWYCH SYSTEMÓW
AUTOMATYZACJI I POMIARÓW

WARSZAWA, LIPIEC 1981

S P I S T R E Ś C I

H. Piłko	Program rozwoju technologii dla nowych konstrukcji urządzeń cyfrowych.....	3
J. Reluga	Problemy technologiczne w nowych konstrukcjach urządzeń cyfrowych.....	4
M. Grączewski	Produkcja i aplikacja matryc logicznych w skali Zjednoczenia "Mera".....	8
B. Kasierski	Zastosowanie matryc logicznych w sprzęcie komputerowym....	17
J. Harasimowicz	Technika układów scalonych - matrycowych w zastosowaniach analogowych.....	21
J. Cabański Z. Oczuki	Systemy dwu- i wielomaszynowe MERA 400 EMC JS. Adapter międzykanałowy ARM-3.....	23
Informacje-Nowości		
	Zespół pomiarowy do badania radiotelefonów typ ZPFM-3.....	29
	Urządzenia laserowe.....	31

Opracowanie Redakcyjne: Redakcja Biuletynu "Mera", ul. Poezji 19, 04-994 Warszawa /12-90-11 wewn. 17-54/. Wydawca: Przedsiębiorstwo Automatyki Przemysłowej "Mera-Pnefal", ul. Poezji 19, 04-994 Warszawa. Zam.116/81. 2300 egz.

mgr inż. HENRYK PIŁKO

Zjednoczenie "Mero"

PROGRAM ROZWOJU TECHNOLOGII

DLA NOWYCH KONSTRUKCJI URZĄDZEŃ CYFROWYCH

Stopień złożoności, precyzji i nowoczesności, jakimi cechuje wyroby reprezentowane w produkcji "Mery", a więc sprzęt pomiarowy urządzenia i podzespoły automatyki, komputery, urządzenia peryferyjne i inne urządzenia cyfrowe, wymagają stosowania najnowszych podzespołów elektronicznych, metod technologicznych i środków produkcji. Zmuszają do tego również wysokie wymagania jakości, niezawodności i trwałości produkowanych urządzeń.

Decydujący wpływ na podstawowe parametry techniczne i ekonomiczne elektronicznych urządzeń cyfrowych ma stopień integracji układów scalonych użytych do konstrukcji wyrobów. Podwyższenie stopnia integracji podzespołów w urządzeniach cyfrowych stało się obecnie możliwe dzięki pojawieniu się układów scalonych LSI i VLSI o wysokim i bardzo wysokim zintegrowaniu elementów elektronicznych. Zwłaszcza użycie układów projektowanych częściowo na zamówienie /semicustom/, poza standardowymi układami /mikroprocesory o zamkniętej strukturze i mikroprocesory modułowe/, w nowych uwarunkowaniach krajowych powinno zostać jak najszybciej zrealizowane. Zastosowanie tych podzespołów elektronicznych wymaga opracowania i opanowania nowych metod projektowania samych układów scalonych LSI i VLSI jak i modułów konstrukcyjnych opartych na ich zastosowaniu. Konieczne jest również opracowanie podstaw konstrukcyjnych i technologicznych dla wyrobów budowanych na tej bazie elementowej.

Podstawowy wpływ na parametry techniczno-ekonomiczne urządzeń mają również metody i środki produkcji, które w przypadku zastosowania nowej bazy elementowej ulegną bardzo poważnym zmianom, głównie na skutek konieczności zastosowania szeregu innych elementów konstrukcyjnych, nowych technologii, materiałów itp. Wymienić tu

przykładowo można wielowarstwowe obwody drukowane na ceramice alundowej, nowe technologie mikromontażu i połączeń, materiały przewodzące, łączące, izolujące itp. Potrzebne więc będą nowe środki produkcji, przede wszystkim urządzenia i systemy technologiczne i kontrolno-pomiarowe stosowane na etapie projektowania, przygotowania i produkcji wyrobów, aż do etapu kontroli i badań gotowego wyrobu. Należy przy tym pamiętać, że wysoka integracja układów scalonych jak i modułów konstrukcyjnych wymagać będzie stosowania urządzeń wysoce zautomatyzowanych aż do linii sterowanych programowo włącznie. Zależy tu przede wszystkim na uzyskaniu powtarzalności wyrobu, wysokiej jego jakości, dużej wydajności procesu i małych kosztów wytwarzania. Produkcji urządzeń o wysokim stopniu integracji dotychczasowymi metodami, opartymi jeszcze na dużym udziale człowieka w samym procesie wytwarzania, wykonać się nie da.

Przedstawione na sympozjum "Zastosowania układów scalonych matrycowych" referaty, których treść publikujemy w Biuletynie Technicznym "Mera", obrazują stan techniki światowej w zakresie produkcji matryc logicznych, nasze możliwości techniczne i technologiczne ich produkcji, niezbędne opracowania w zakresie konstrukcji, technologii i urządzeń produkcyjnych oraz podają zastosowania matryc logicznych w sprzęcie komputerowym na świecie, a także omawiają możliwość i celowość zastosowań tych układów w wyrobach produkcji Zakładów Zjednoczenia "Mera".

Wprowadzenie układów LSI i VLSI oraz układów specjalizowanych nie może być rozważane tylko w obszarze konstrukcji i nowych technologii, które muszą być zastosowane. Trzeba sobie zdawać sprawę także z faktu, że głębokim zmianom musi ulec wyposażenie naszych fabryk w sprzęt pomia-

rowy stanowiący wyposażenie ciągów produkcyjnych począwszy od kontroli dostaw, a skończywszy na kontroli gotowych wyrobów. Poważnym zmianom ulegnie również organizacja serwisu i jego wyposażenie w sprzęt i podzespoły zamienne.

Prezentacja poglądów, jaka nastąpi na łamach czasopisma stanowi przygotowanie dla programu nowych technik i technologii wprowadzenia układów LSI i VLSI w konstrukcje naszych wyrobów. Wysokie koszty i duża pracochłonność prac przygotowawczych i opracowań stwarzają konieczność głębokiej koordynacji przedsięwzięć precyzyjnie zaprogramowanych w planie postępu technicznego. Szeroki zakres i złożoność problematyki wymagają współpracy i współdziałania nad opracowaniem, a następnie realizacją takiego programu przez wszystkie

ośrodki naukowo-badawcze, doświadczalno-konstrukcyjne jak i zakłady produkcyjne "Mery". Realizacja programu wymaga powołania w zapleczu naukowo-badawczym specjalistycznych komórek do opracowania poszczególnych tematów technologicznych, a w zapleczu doświadczalno-produkcyjnym komórek opracowujących i produkujących sprzęt specjalistyczny i technologiczny.

Ze względu na narastające problemy w zaopatrzeniu materiałowym i podzespołowym wprowadzenie wysokiej skali integracji staje się szczególnie palące, ponieważ w sposób istotny obniża materiałochłonność konstrukcji, a tym samym i programów produkcyjnych. Z tego też względu program przedsięwzięć w tym zakresie musi zostać opracowany w terminie do końca bieżącego roku.



mgr inż. JAN RELUGA

Zjednoczenie "Mera"

PROBLEMY TECHNOLOGICZNE

W NOWYCH KONSTRUKCJACH URZĄDZEŃ CYFROWYCH

W artykule poruszam niezmiernie ważny problem opracowania nowych metod technologicznych i środków produkcji dla nowej generacji urządzeń cyfrowych, a więc sprzętu komputerowego, przyrządów pomiarowych, układów sterowania itp. opartych w swej budowie na mikroprocesorach i towarzyszących im podzespołach elektronicznych o wysokim stopniu upakowania z wykorzystaniem układów scalonych MSI, LSI i VLSI.

Obecne technologie, jakimi się posługujemy, nawet udoskonalone, są w stanie zaspokoić potrzeby obecnej generacji urządzeń cyfrowych budowanych z układów scalonych o małym i średnim upakowaniu. Szeroko stosowany u nas w kraju import urządzeń technologicznych i materiałów oraz import licencji na konstrukcję urządzeń z reguły pozbawiony importu technologii na podstawowe elementy, miał swój wpływ negatywny. Zamiast bowiem drogę własnej myśli technicznej, a w przypadku technologii zdeorganizował ponadto kompletnie zaplecze nauko-

wo-badawcze i doświadczalno-konstrukcyjne naszych placówek naukowo-badawczych, instytutów i Ośrodków Badawczo-Rozwojowych. Upadły laboratoria, wyprzedano aparaturę naukową, rozbiegli się specjaliści. Większość kadry naukowo-badawczej w OBR zaczęła pracować jak pracownicy zakładowych biur konstrukcyjnych, technologicznych, czy wręcz przygotowania produkcji, ratując stale zagrożony plan. Kwitła koncepcja ścisłego związku nauki z produkcją, naturalnie w sposób najmniej ekonomiczny, tzn. wykorzystania jej siły fizycznej. Jeszcze gorzej wygląda sprawa specjalizowanych urządzeń technologicznych dla przemysłu elektronicznego, których rozwój zahamowany został z tych samych powodów, pomimo że zajmowaliśmy jeszcze niedawno pierwsze miejsce wśród krajów socjalistycznych.

Aby osiągnąć w latach 1986-90 w Zjednoczeniu "Mera" porównywalny ze średnim poziomem krajów Europy Zachodniej, poziom nowoczesności produkowanych wyrobów, a

zwłaszcza sprzętu pomiarowego, elementów automatyki, układów sterowania, mikro i mikrokomputerów itp., konieczny jest przede wszystkim rozwój nowych metod i środków wytwarzania. Na ten cel muszą być przeznaczony maksymalne środki ludzkie i nakłady. W obecnej sytuacji gospodarczej, a szczególnie w sytuacji niesprzyjającej nowym inwestycjom i braku środków dewizowych konieczny jest trafny wybór i koncentracja działań nad rozwiązaniem tych problemów technologicznych, które pozwolą w latach 1986-90, a częściowo i w II połowie obecnej pięcioletki na opracowanie i produkcję nowoczesnych wyrobów najbardziej potrzebnych dla gospodarki narodowej.

Kompleksowość rozwiązania problemu wymaga w tym przypadku rozpoczęcia prac naukowo-badawczych i doświadczalno-konstrukcyjnych równoległe w trzech kierunkach-dziedzinach, wzajemnie z sobą powiązanych i od siebie ściśle zależnych, a mianowicie w kierunku:

1. Opracowania i opanowania metod projektowania, wykonywania i kontroli układów scalonych typu matrycowego i układów hybrydowych opartych na wielowarstwowych obwodach drukowanych i montowanych na nich "czopach układów scalonych".
2. Opracowanie podstaw konstrukcyjnych i technologicznych dla wyrobów budowanych na nowej bazie podzespołowej, a mianowicie metod projektowania i kontroli podstawowych modułów konstrukcyjnych, metod technologicznych, szczególnie metod montażu i połączeń.
3. Opracowanie i wykonanie specjalizowanych urządzeń i systemów technologicznych i pomiarowych dla produkcji układów scalonych hybrydowych i modułów konstrukcyjnych urządzeń cyfrowych opartych na nowej bazie elementowej i technologii.

Koncepcja bazy konstrukcyjnej i technologicznej przyszłych urządzeń cyfrowych powinna uwzględnić fakt naszego poważnego opóźnienia technologicznego i co najmniej 4-6 letniego okresu czasu potrzebnego jeszcze na opracowanie podstawowych modułów konstrukcyjnych i technologii oraz co najmniej 5-letniego okresu wdrażania i doskonalenia produkcji wyrobów. Konieczne jest więc przyjęcie na obecnym etapie nowoczesnego w technice światowej rozwiązania konstrukcyjnego opartego na najnowocześniejszych technologiach. Takim właśnie najnowocześniejszym rozwiązaniem wydają się być przyjęte w komputerach IBM 4331/4341 moduły konstrukcyjne, oparte na płytkach ceramicznych z wielowarstwowymi obwodami drukowanymi, na których zamontowane są "czipy" układów scalonych o różnej skali integracji. Moduły te posiadają wyprowadzenia w postaci kołków kontaktowych rozmieszczonych prostopadle do powierzchni płytki

w siatce równomiernej X-Y o podziałce 0,1 cala. Kolki te stanowią równocześnie połączenia międzywarstwowe w obwodzie drukowanym, znakomicie skracającym połączenia w układzie elektrycznym. IBM przyjmuje dla ułatwienia automatyzacji produkcji dwa standardy konstrukcyjne tych podstawowych modułów: kwadrat o boku 35mm z 196 kołkami wejść-wyjść kontaktowych i kwadrat o boku 50mm z 361 kołkami. Grubość płytki wynosi ok. 4 mm. Liczba warstw do 23. Typowa liczba układów scalonych na powierzchni płytki modułu - 9, średnie wypełnienie modułu 6. Moduł posiada wewnętrzne połączenia o łącznej długości ok. 10 metrów. Moduły te dają duże upakowanie, nie obniżając sprawności układów elektronicznych, zwiększają ich niezawodność, ułatwiają konstrukcję oraz wymiennosc przy naprawach.

Następny poziom połączeń wewnętrznych stanowią 7 lub 8-warstwowe płytki z obwodami drukowanymi o wymiarach 3 x 5 cali z siatką otworów przelotowych X-Y o podziałce również 0,1 cala. Trzy do czterech warstw stanowią płaszczyzny napięć zasilających, cztery pozostałe warstwy /dwie zewnętrzne i dwie wewnętrzne/ to obwody drukowane ścieżek sygnałowych. Warstwy te wykonane są metodą addytywnego miedziowania z precyzją wymiarów w granicach $\pm 0,001$ cala. Precyzja taka ma na celu zmniejszenie sprężonych szumów i impedancji do wymaganego poziomu /80 ± 12 / oma. W otwory przelotowe metalizowane wchodzi wyprowadzenia kołkowe opisanych wyżej modułów podstawowych. Średnice tych otworów mają 0,04 cala, średnice otworów stanowiących przejścia między warstwami są mniejsze. Pomędzy otworami rozstawionymi w podziałce 0,1 cala można przeprowadzić 3 ścieżki sygnałowe. Moduł II poziomu ma ponad 10500 połączeń dla ścieżek sygnałowych oraz 268 punktów wejścia-wyjścia dla połączeń zewnętrznych, rozmieszczonym na dłuższym 5-calowym boku płytki w dwóch rzędach po obu stronach płytki.

Trzecim poziomem połączeń stanowiącym szkielet procesora IBM 4331/4341 jest główna płyta drukowana posiadająca 10 lub 16 warstw obwodów drukowanych z czego 4 lub 8 wewnętrznych warstw zasilających. Z pozostałych 8 warstw 16-warstwowego obwodu drukowanego 6 warstw posiada ścieżki sygnałowe, jedną warstwę zewnętrzną-dolną, służącą do dokonywania zmian i poprawek, drugą zewnętrzną-górną służącą do rozmieszczenia szyn zasilających. W płytkach 10-warstwowych stosuje się ponadto dodatkowe otwory przelotowe w celu umożliwienia połączenia par przewodów sygnałowych oraz zwiększenia liczby możliwych połączeń. Metalizowane otwory przelotowe umieszczone są w siatce o podziałce 2,5 mm, między którymi na warstwach sygnałowych może być prze-

prowadzone do 4 ścieżek drukowanych. Na dolnej powierzchni płytki znajdują się ścieżki rezerwowe i ścieżki wyprowadzeń, które można usunąć w trakcie napraw.

18 modułów drugiego poziomu połączonych jest z płytką główną przy pomocy 118 specjalnych złącz pozwalających na włożenie pakietu z 2 rzędami styków po obu stronach płytki w gniazdo złącza, a następnie docięnięcie styków, co znacznie polepsza połączenie. Razem na płycie znajduje się więc 4824 punkty wejścia-wyjścia. Ponadto na płycie głównej znajdują się gniazda 8 złącz wejściowo-wyjściowych do podłączenia urządzeń zewnętrznych, rozmieszczonych po 2 na zewnętrznej krawędzi każdego boku płytki-panela. Złącze posiada 125 połączeń wejścia-wyjścia, co daje łącznie 1000 połączeń. W złączu stosuje się rozcinany styk sprężynowy przymocowany do płyty głównej. W złącze wtyka się małą płytkę z obwodem drukowanym pół stykowych rozmieszczonych wzdłuż jednej krawędzi. Z drugiej strony tych płytek przymocowane są trójżyłowe przewody z 18 połączeniami sygnałowymi i 7 połączeniami masy. Każda mała płytka ma 25 połączeń wejściowo-wyjściowych po 5 w jednej wiązce. Wiązki te umożliwiają łączenie płyty z płytą albo płyty ze złączem wejściowo-wyjściowym.

Elementem usztywniającym konstrukcję bloku jest rama z tworzywa sztucznego przyklejana żywicą epoksydową bezpośrednio do płyty głównej z obwodem drukowanym. Oprócz roli usztywniającej, rama spełnia inne role jak ustalenie płytek poziomu II względnie złącz, prowadzenie płytek, mocowanie przewodów itp.

Z podanego skróconego opisu tej najnowszej obecnie konstrukcji bloków cyfrowych i jej części składowych, modułów, wynikają dla nas podstawowe kierunki rozwoju oraz nowych opracowań w dziedzinie technologii. O ile uda nam się w okresie tego dziesięciolecia opracować i opanować w produkcji wielkoseryjnej wszystkie niezbędne metody technologiczne jak i opracować i wykonać niezbędny sprzęt technologiczny i produkcyjny oraz aparaturę kontrolno-pomiarową, to będziemy mogli powiedzieć, że nadgoniliśmy nasze opóźnienie i znajdujemy się wśród krajów o dobrym poziomie technologicznym.

Jakie metody wytwarzania musimy przede wszystkim opanować i jakie środki produkcyjne opracować i wykonać, aby zabezpieczyć obecny rozwój konstrukcji i przyszłą produkcję?

W pierwszej z trzech wymienionych wyżej dziedzin będą to technologie:

1. Projektowanie układów scalonych typu matrycowego wraz z projektowaniem sieci połączeń i wykonaniem programów sterujących

dla fotokoordynatografów / wykonanie fotomasek/ i urządzeń do mikromontażu.

2. Projektowanie układów scalonych hybrydowych wraz z projektowaniem sieci połączeń wielowarstwowych obwodów drukowanych na elastycznych nieutwardzonych foliach ceramicznych wraz z wykonaniem programów sterujących dla fotokoordynatografów / wykonanie fotomasek/.

3. Wykonanie fotomasek układów scalonych i obwodów drukowanych na fotokoordynatografach automatycznych.

4. Wytwarzanie półutwardzonej folii ceramicznej na obwody drukowane i cięcie płytek - arkuszy.

5. Wycinanie otworów połączeń kołkowych i międzywarstwowych.

6. Wykonywanie cienkich masek metalowych.

7. Wytwarzanie past przewodzących i past izolacyjnych.

8. Technologia nanoszenia past przez maski metalowe i suszenie.

9. Układanie w stosy i utwardzenie materiału ceramicznego przez wypalanie.

10. Nakładanie warstw lutowia na pola do mocowania czipów układów scalonych.

11. Wciskanie kołków kontaktowych.

12. Sprawdzenie połączeń elektrycznych płytek wielowarstwowych.

13. Ustawianie czipów układów scalonych na powierzchniach płytek ceramicznych.

14. Łączenie czipów z powłoką np. metodą przepływu lutowia.

15. Wykonanie połączeń wewnętrznych pomiędzy wyprowadzeniami z czipów układów scalonych, a obwodem połączeń drukowanych płytki.

16. Montaż pokryw zabezpieczających z równoczesnym wypełnianiem gazem obojętnym.

17. Kontrola i testowanie układu hybrydowego.

Każdy z wymienionych podstawowych jedynie procesów technologicznych kryje całą gamę problemów materiałowych, doboru, metody i warunków procesu technologicznego, opracowania i wykonania precyzyjnych, a w większości przypadków sterowanych numerycznie automatycznych urządzeń technologicznych.

Przykładowo wytworzenie półutwardzonej folii ceramicznej o odpowiednich parametrach: szczególnie wysokiej oporności izolacji, dużej przyczepności past przewodzących i izolacyjnych, dobrej obrabialności itp., wytwarzanie samych past przewodzących i izolacyjnych, jak również opracowanie i produkcja materiałów fotograficznych, materiałów do obróbki fotograficznej i wiele innych są problemami poważnymi. W wielu z nich posiadamy już w kraju poważne osiągnięcia, wiele musimy jeszcze opracować. W samych metodach technologicznych mamy poważne doświadczenia w wykonywaniu foto-

masek, a nawet cienkich masek metalowych, opanowaliśmy metody nanoszenia past, suszenia itp. Nie posiadamy natomiast opanowanych technologii wytwarzania wielowarstwowych płytek ceramicznych jako całego kompleksu problemów technologicznych. Brak nam doświadczeń i osiągnięć w automatycznym wykonywaniu mikropołączeń drutowych itp.

W zakresie urządzeń technologicznych posiadamy doświadczenia nawet z produkcji fotokoordynatografów, sterowanych programowo stołów krzyżowych oraz niektóre rodzaje głowic do precyzyjnego łączenia drutów czy filii do powierzchni drukowanych itp. Nie posiadamy jednak niezbędnych do produkcji tego rodzaju układów hybrydowych, w sposób technicznie i ekonomicznie uzasadniony, a więc automatyczny, sterowanych komputerowo linii i gniazd technologicznych, które zabezpieczyłyby nie tylko wysoką zdolność produkcyjną, ale i niezbędną jakość i czystość wyrobów. Wymienić tu należy przede wszystkim linie do wykonywania wielowarstwowych płytek ceramicznych, linie do automatycznego montażu i kontroli, systemy do testowania i kontroli. Linie takie muszą zapewnić wydajność rzędu 600 tys. szt. rocznie przy dużej zmienności typów i liczbowych wartości serii. Konieczne jest również położenie dużego nacisku na zakończenie prac projektowych i rozpoczęcie produkcji systemów do projektowania układów i sieci połączeń, bez których opracowanie nowoczesnych układów elektronicznych jest wręcz niemożliwe. Z urządzeń peryferyjnych dla przyszłych systemów projektowania konieczne jest opracowanie i produkcja różnego rodzaju pisaków rysujących, koderów informacji graficznej /digitezer/, oraz kolorowych grafoskopów o dużej zdolności rozdzielczej i dużym obszarze pola roboczego.

Należy podkreślić, że większość tych metod i urządzeń musi być opracowana w kraju, przy wykorzystaniu niewielkiego importu w materiałach i podzespołach, a za to maksymalnego wykorzystania własnej pomysłowości i wiedzy. W drugiej z wymienionych dziedzin zakłady naukowo-badawcze podstaw konstrukcji i technologii maszyn cyfrowych, czy innych branż, o ile jeszcze istnieją w instytutach naukowo-badawczych, powinny wypracować nasze własne konstrukcje bazowe, nie koniecznie identyczne z IBM 4331/4341 lecz przyjmujące te same lub zbliżone technologie, tak aby umożliwić równoległą pracę w zakresie przygotowania bazy podzespołowej, materiałowej i technologicznej. W tym zakresie inne komórki naukowo-badawcze instytutów muszą zakończyć wreszcie opracowanie całkowicie nowych metod projektowania i kontroli podstawowych modułów konstrukcyjnych urządzeń cyfrowych opartych na nowej bazie podzespołowej. Trzeba też wykonać a częściowo skompletować niezbędny do tego celu sprzęt komputerowy, opracować oprogramowanie.

Jak wynika ze skrótkowo przedstawionego problemu metod i środków technologicznych niezbędnych do prawidłowego rozwoju przyszłych konstrukcji nie tylko zresztą maszyn i urządzeń cyfrowych, pomiarów czy automatyki, konieczne jest rozpoczęcie niemal natychmiast procesu "odnowy", a w zasadzie wprowadzenie do naszych instytutów i Ośrodków Badawczo-Rozwojowych zadań technologicznych. W tym celu konieczne jest przegrupowanie wewnątrz tych instytucji sił i środków, a przede wszystkim powstanie laboratoriów i pracowni doświadczalnych. Wszyscy rozumiemy, że w okresie braku środków dwizowych będzie to praca trudna lecz nie syzyfowa.



PRODUKCJA I APLIKACJA MATRYC LOGICZNYCH W SKALI ZJEDNOCZENIA "MERA"

Zjawiskiem charakterystycznym dla współczesnej elektroniki jest silny wzrost wpływu nowoczesności mikroelektronicznej bazy podzespołowej na nowoczesność sprzętu. Obecnie konstruktorzy sprzętu komputerowego, automatyki i pomiarowego, ograniczeni możliwościami krajowego przemysłu mikroelektronicznego, oraz limitami dewizowymi nie są w stanie zrealizować nowoczesnych rozwiązań konstrukcyjnych z powodu braku specjalizowanych układów mikroelektronicznych LSI.

Wynikająca stąd konieczność utworzenia nowoczesnej własnej mikroelektronicznej bazy podzespołowej przy pomocy skromnych środków, stwarza potrzebę ostrej selekcji najefektywniejszej w danych warunkach techniczno-ekonomicznych techniki mikroelektronicznej.

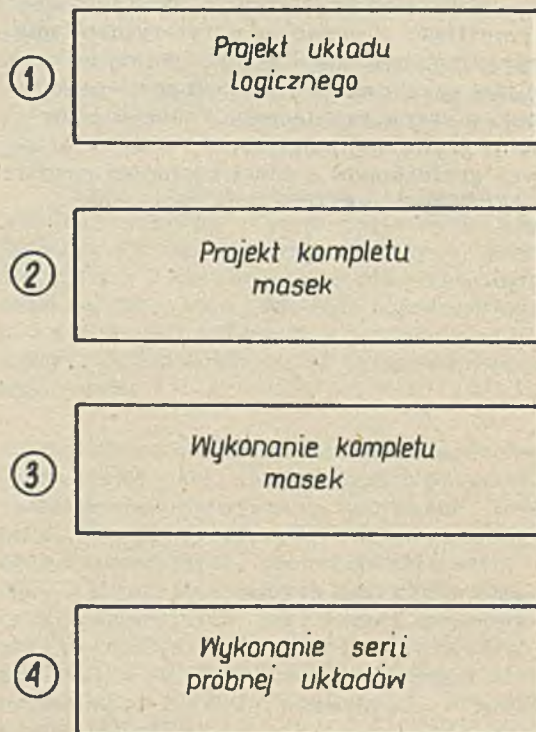
Przeprowadzone dotychczas w tym celu w "OBREUS-Mera" rozpoznanie i analizy techniczno-ekonomiczne wskazują na celowość podjęcia prac badawczych nad wdrożeniem do krajowego sprzętu komputerowego, automatyki i pomiarowego tzw. układów matrycowych /gate, arrays, matricznye schemy/ [1], [2].

Geneza układów matrycowych

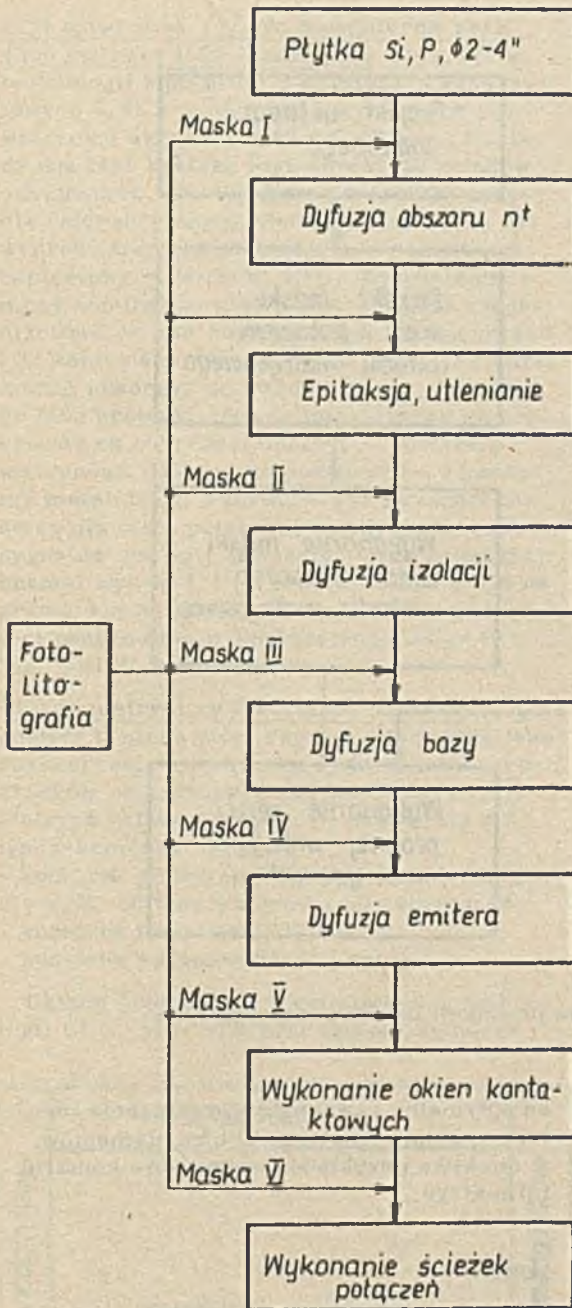
Problem, jaki stanowi dla konstruktora sprzętu realizacja zadanej funkcji układowej jest dotychczas zazwyczaj rozwiązywany za pomocą katalogowych układów scalonych o różnych skalach integracji. Rozwiązanie to jest również zwrotnie narzucone przez dostępne katalogowe układy scalone w stopniu proporcjonalnym do ich skali integracji.

W przypadku braku układu katalogowego LSI o niezbędnej funkcji, zachodzi konieczność rezygnacji z zadanej funkcji lub jej realizacja w mniejszej skali integracji. Jest to niestety alternatywa nieatrakcyjna technicznie, a usiłowania jej ominięcia doprowa-

dziły do pojawienia się układów LSI klasy tzw. "na zamówienie" - realizujących zamawianą funkcję układową. Czas i cena opracowania tych układów jest jednak decydującym ograniczeniem dla rozwoju ich zastosowań w sprzęcie np. komputerowym, dla którego są potrzebne układy LSI specjalizowane w krótkich /od kilkuset sztuk do kilkudziesięciu tys. sztuk/ seriach o krótkich terminach dostaw /kilka miesięcy/, w znacznym asortymencie /kilkadziesiąt typów/. Dla wyjaśnienia jakimi rozwiązaniami technicznymi doprowadzono do skrócenia czasu i ceny opracowania układów LSI "na zamówienie" należy



rys. 1. Główne etapy przygotowania produkcji logicznych układów scalonych



Rys. 2. Schemat procesu technologicznego bipolarnych układów scalonych

przypomnieć, że w pracach nad przygotowaniem produkcji logicznych układów scalonych można wyróżnić cztery główne etapy /rys.1/.

Etap czwarty, w którym następuje realizacja zadanej funkcji układowej w mikrostrukturze, w zależności od kompletu zastosowanych masek, może być wykonany w procesie technologicznym, którego schemat przedstawia rys. 2. [3].

Półfabrykatem uniwersalnym, tzn. jednakowym dla różnych realizowanych funkcji układowych jest utleniona płytka krzemowa z

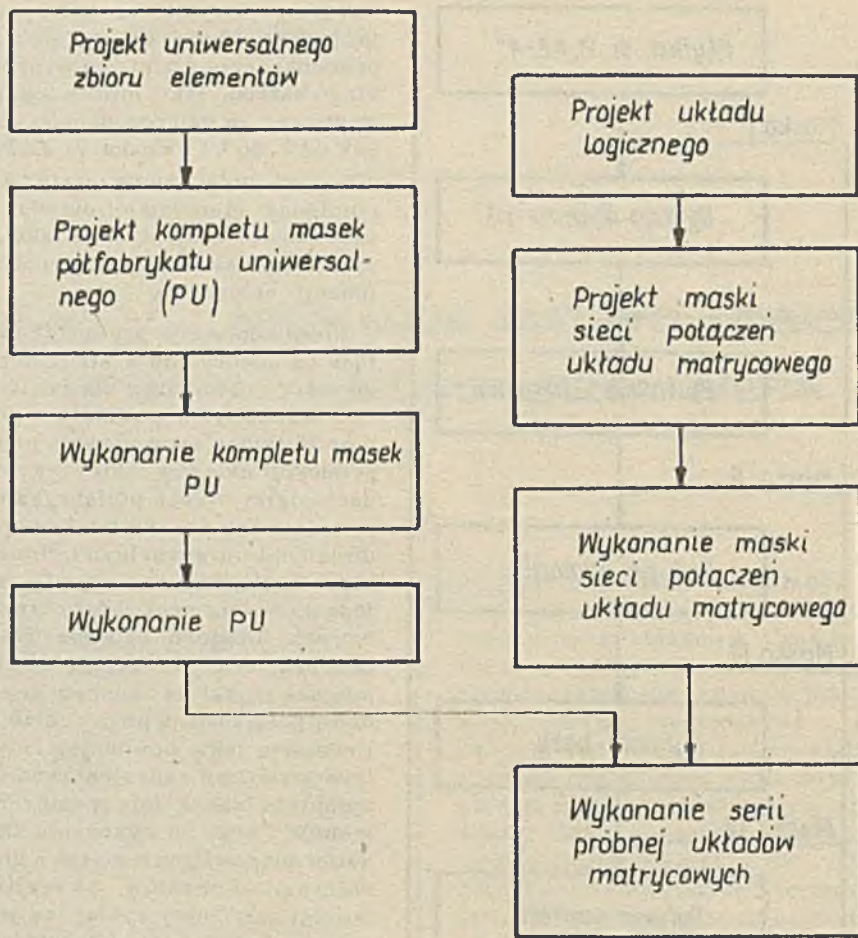
warstwą epitaksjalną. Należy podkreślić, że już zastosowanie maski I przesądza dalsze przeznaczenie płytki do wyprodukowania takiego układu, jaki można topologicznie odwzorować za pomocą danego kompletu masek od I do VI. Maski VI służy do sformowania sieci połączeń na powierzchni struktury pomiędzy elementami układu scalonego wytworzonymi w strukturze jako zbiór specjalny i zoptymalizowany dla realizacji zadanej funkcji układowej.

Nowa koncepcja scalonych układów polegająca na utworzeniu w strukturze uniwersalnego zbioru elementów dla realizacji wielu funkcji układowych, powstała w połowie lat 60, a po 10 latach spowodowała pojawienie się produkcji układów matrycowych [4]. W układach matrycowych półfabrykatem uniwersalnym jest zatem płytka krzemowa z wdyfundowanymi uniwersalnymi zbiorami elementów. Maski od I do V są więc w tych układach jednakowe dla realizacji różnych funkcji układowych. Dopiero ostatnia główna operacja procesu, tzn. utworzenie sieci połączeń za pomocą maski VI konkretyzuje funkcję układową realizowaną przez układ matrycowy. Podejście takie powoduje, że w układach matrycowych, po zaprojektowaniu i wykonaniu kompletu masek uniwersalnych zbiorów elementów oraz po wykonaniu zapasu półfabrykatów stanowiących płytki z uniwersalnymi zbiorami elementów, do realizacji zadanej funkcji układowej wystarczy jedna maska. Dysponując zatem półfabrykatami uzyskujemy efekty w postaci zmniejszenia czasu i ceny opracowania układu "na zamówienie", powstałe w wyniku wyeliminowania z procesu przygotowania produkcji czasu i kosztów projektowania i wykonania pięciu masek. Koszty te zostają rozłożone na wszystkie typy układów, realizowane na danym półfabrykacie. Główne etapy przygotowania produkcji układów matrycowych przedstawia rys. 3.

Proces przygotowania i produkcji półfabrykatu uniwersalnego jest tu oddzielony od strumienia głównych operacji przygotowania produkcji układów matrycowych. Półfabrykaty, stanowiące płytki krzemowe np. 3-calowe z wdyfundowanymi uniwersalnymi zbiorami elementów na obszarach struktur o wymiarach np. 4 x 4 mm, zostają dalej poddane metalizacji i procesom formowania sieci połączeń układu, a następnie rozcinaniu na pojedyncze struktury, mikromontażowi i hermetyzacji.

Do wad układów matrycowych zalicza się:

- niepełne wykorzystanie uniwersalnego zbioru elementów do realizacji zadanych funkcji układowych,
- mniejszą gęstość upakowania elementów w porównaniu z układami katalogowymi,
- wydłużenie czasów propagacji w stosunku do układów katalogowych.



Rys. 3. Główne etapy przygotowania produkcji układów matrycowych

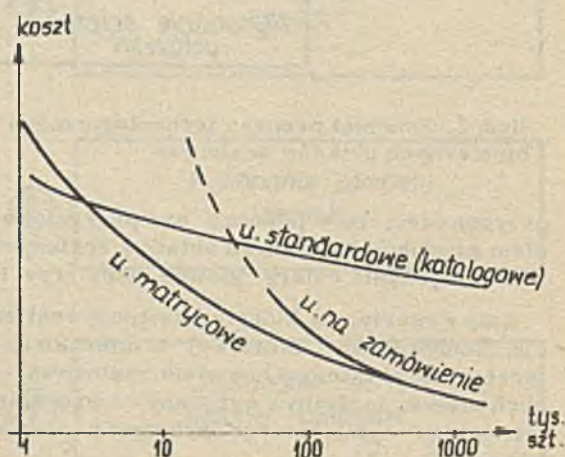
Natomiast zalety układów matrycowych stanowią:

- opłacalność monolityzacji układów dla serii produkcyjnych mniejszych niż 50 tys. szt. [rys. 4/ [5].
- skrócenie czasu przygotowania produkcji np: czas dostawy 100 szt. serii prototypowej: 9 tygodni od przekazania szkiców sieci połączeń matrycy 230-bramkowej; cena serii - 20 tys. dolarów, a dalsze dostawy następują w cenie 20 dolarów za układ dla serii do 1,5 tys. szt. oraz w cenie 4,8 dolara za układ dla serii powyżej 80 tys. szt. [6].
- perspektywy silnej komputeryzacji procesów przygotowania produkcji, w wyniku czego np. Texas Instruments przewiduje w 1982 r. [4] zmniejszyć czas wyprodukowania serii do ok. 5 dni po połączeniu systemów CAD i ekspozera elektronowego do bezpośredniej ekspozycji sieci połączeń na płytkach półfabrykatów.

Bieżący stan techniki układów matrycowych

Jednym z podstawowych czynników decydujących o atrakcyjności układów matrycowych

są optymalne zawartość i organizacja topologiczna uniwersalnego zbioru elementów. A oto kilka przykładów schematów konstrukcji matryce.



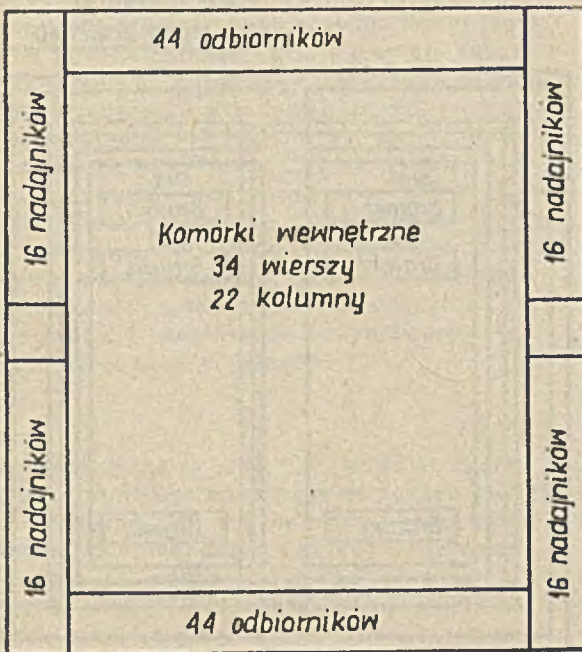
Rys. 4. Koszt jednostkowy układów monolitycznych w zależności od długości serii dla trzech głównych klas układów

IBM opracował [7] do komputerów serii 4300 matrycę 1500-bramkową /rys. 5/ w technologii bipolarnej o wymiarach gabarytowych 5,66 x 5,66 mm, o wymiarach powierzchni aktywnej 5,43 x 5,43 mm. Posiada ona 1496 bramek logicznych, 88 układów odbiorników, 64 nadajniki i 2 źródła napięcia referencyjnego. Matryca posiada do 94 wyprowadzeń kompatybilnych z poziomami napięciowymi techniki TTL. Wydzielanie mocy nominalnie 1,8W. Matryca jest zorganizowana w 748 komórkach w 34 wierszach i 22 kolumnach. Z elementów jednej komórki można utworzyć do dwóch bramek, łącznie do 1496 bramek. Układy interfejsowe są ulokowane na obrzeżach matrycy. Struktura matrycowa IBM ma na powierzchni 3 poziomy metalizacji. Pierwsze dwa przeznaczone są dla sieci połączeń, zaś trzecia - dla sygnałów we/wy i zasilania. Czas propagacji bramki wynosi 1,5 ns przy 0,85 mW i 0,8 ns przy 1,7 mW, co daje 1,3 pJ. Sieć połączeń jest generowana w Engineering Design System /EDS/.

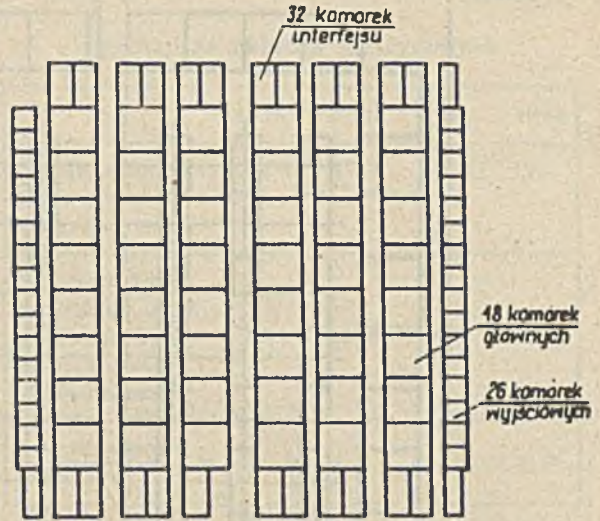
Układy matrycowe Macrocell Motorola [8] zostały w pierwszym rzędzie pomyślane jako rozszerzenie możliwości rodziny mikroprocesorów segmentowych M10800 tej firmy. Matryca układów Macrocell składa się z 3 typów komórek /rys. 6/:

- komórek głównych /48 szt. / składających się z ok. 50 tranzystorów i 50 rezystorów,
- komórek interfejsu /32 szt. /,
- komórek wyjściowych /26 szt. /.

Układy Macrocell, zrealizowane w technologii ECL, przy 90% pracujących komórek



Rys. 5. Organizacja matrycy IBM dla komputerów serii 4300 /1500 bramek/



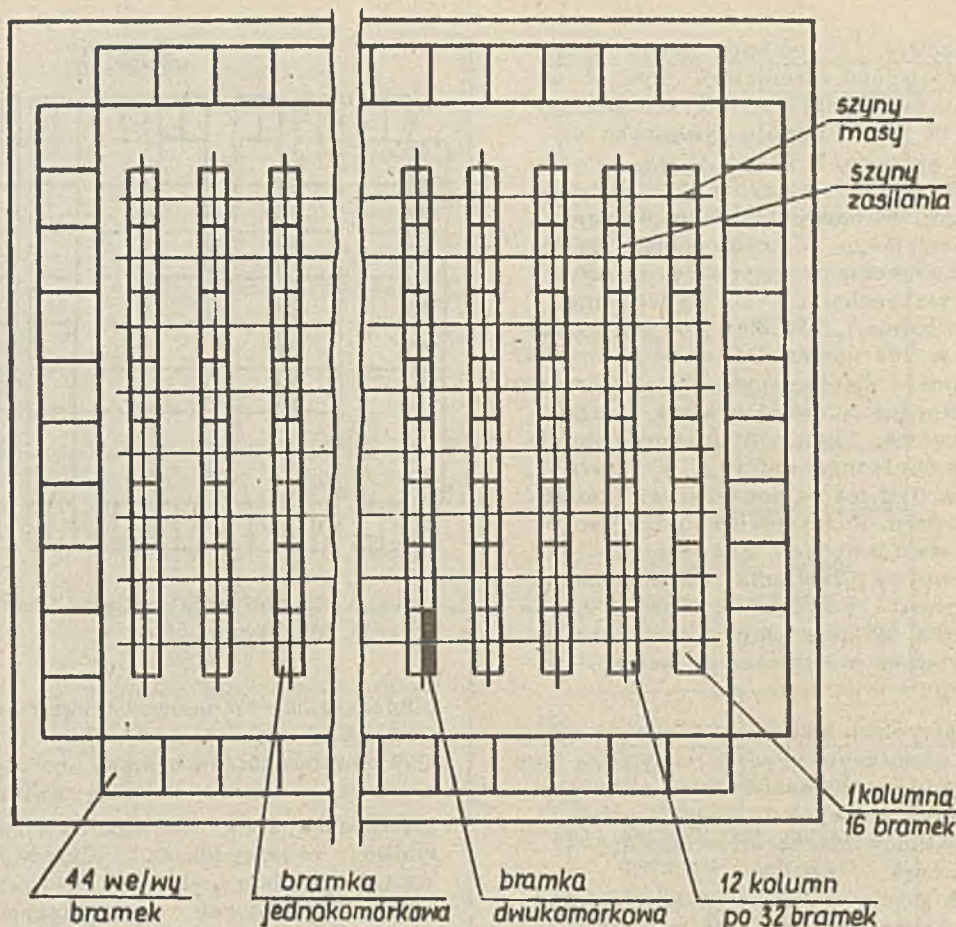
Rys. 6. Organizacja matrycy Macrocell Motorola /1000 bramek/.

pobierają ok. 4W mocy. Struktura układu posiada 60 wyprowadzeń we/wy oraz do 1192 równoważników bramek, co daje 5mW na bramkę. Czas opóźnienia zawiera się w granicach 0,9 - 1,3 ns. Macrocell są kompatybilne z rodziną 10k ECL. Układy LSI na bazie matryc Macrocell są projektowane w systemie CAD Motoroli, zawierającym podręczniki projektowania z biblioteką funkcji tak, aby umożliwić projektowanie projektantom nie wyspecjalizowanym w logice ECL. Biblioteka obejmuje:

- dla komórek głównych 54 funkcje,
- dla komórek interfejsu 14 funkcji,
- dla komórek wyjściowych 17 funkcji.

Układy Macrocell są montowane do czworokątnych obudów ceramicznych typu QIL o powierzchni ok. 1 cala kwadratowego z radiatorami i 68 wyprowadzeniami.

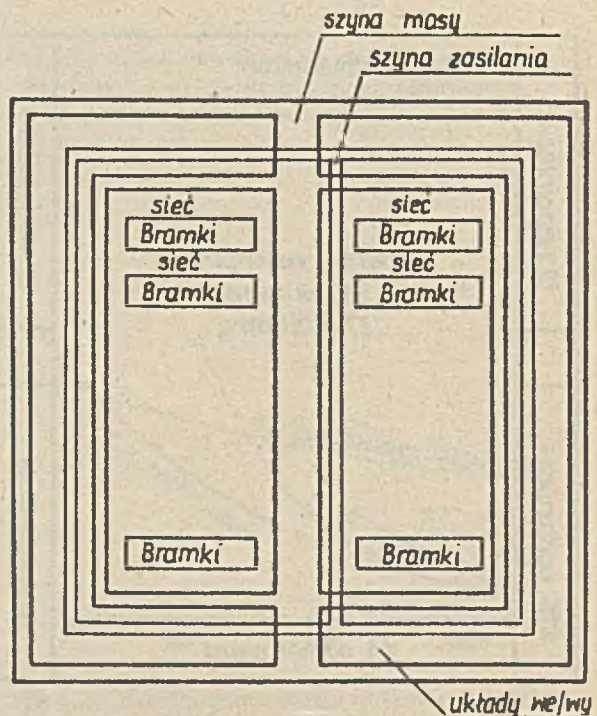
Digital Equipment Corporation [9] opracowała do minikomputerów VAX-11/750 matrycę zawierającą /rys. 7/ w technologii TTL-Schottky 400 komórek podstawowych oraz 44 bramki we/wy. Rozmiary struktury są mniejsze niż 6 x 6 mm, a 48-wyprowadzeniowa obudowa posiada rozmiary 2,5 x 0,6 cala. Czas opóźnienia bramki wynosi 5ns. Komórka podstawowa zawiera 2-tranzystorową bramkę NAND o 4 wejściach i 2 wyjściach oraz trzech kontaktach zasilania 2,5V. Wzmocnienie logiczne wynosi 10. Bramka podstawowa może realizować funkcje układowe z różnymi szybkościami, w zależności od wykorzystania kontaktów zasilania. Istnieje możliwość uzyskania 8-wejściowych bramek NAND oraz AND tworzonych przez system CAD automatycznie.



Rys. 7. Organizacja matrycy DEC dla minikomputerów VAX-11 / 750 / 400 bramek/

Firma japońska Mitsubishi [10], /rys. 8/, zastosowała system CAD do projektowania dwuwarstwowej sieci połączeń dla układów matrycowych wykonywanych z rozdzielaniem procesu technologicznego. Wykonywane w modyfikowanej technologii MOS układy zawierają 624 trzywejściowe bramki NOR i 80 bramek we/wy. Układy posiadają jedno-napięciowe /5V/ zasilanie i czasy opóźnień 2,6ns przy 5mW oraz 4,9ns przy 2mW. W 1978 roku Mitsubishi sprzedawała te układy w obudowach 68-wyprowadzeniowych w cenie 42 dolary za sztukę dla partii 1000-sztukowych. Celem wprowadzenia układów było zastąpienie układów TTL, małej i średniej skali integracji. Wymiary struktury wynoszą 6,28 x 6,60 mm przy 30% udziale powierzchni aktywnej ze względu na obszar zajmowany przez połączenia /wskaźnik ten dla standardowych układów MOS wynosi 70%/.

Wspólną cechą organizacji przedstawionych wyżej matryc jest centralne usytuowanie komórek roboczych służących do realizacji zadanych funkcji logicznych, oraz usytuowanie peryferyjne komórek komunika-



Rys. 8. Organizacja matrycy Mitsubishi / 600 bramek/

cyjnych. Przedstawione wyżej przykłady dotyczą matryc o średniej ilości bramek /od 400 do 1500/. Nie ma wśród omawianych przykładów ani matryc bardzo małych, zawierających 200 i mniej bramek oraz bardzo dużych, powyżej 2000 bramek. Istotne różnice dotyczą tu natomiast technologii: Motorola stosuje ECL, IBM-specjalną bipolarną /prawdopodobnie ROI - Recessed-Oxide Isolation, DEC - TTL Schottky, Mitsubishi - modyfikowaną MOS. Różne są również przeznaczenia poszczególnych matryc. Są wśród wymienionych przykładów zarówno przedstawiciele zastosowań komputerowych /IBM/, jak i mini-komputerowych /DEC/ oraz uniwersalnych /Motorola i Mitsubishi/.

Istotne różnice dotyczą też organizacji - od komórek bardzo małych /DEC/ do bardzo dużych /Motorola/ - przy czym daje się zauważyć silne powiązanie organizacji z systemami CAD, obejmującymi minimum generację programów sterujących do generatorów masek z szkicu konstrukcyjnego, a maksimum - symulację logiczną w połączeniu z interakcyjnym projektowaniem topologii i automatyczną generacją programów sterujących do generatorów masek. Należy podkreślić decydujący wpływ poziomu technicznego systemów CAD na efektywność techniki układów matrycowych.

Zaangażowanie w układy matrycowe firm amerykańskich, japońskich i brytyjskich, a na kontynencie europejskim Siemens i RTC, oraz zainteresowanie ZSRR [11] jest świadectwem dynamicznego rozwoju nowej techniki mikroelektronicznej. Wg opinii Texas Instruments [4] układy matrycowe są następną generacją głównego kierunku rozwojowego układów logicznych. Firma Motorola szacowała w 1978 r. [12], że wartość produkcji układów matrycowych w 1980 r. wynosiła 10 mln dolarów, a w 1985 wynosić będzie 50 mln dolarów. Natomiast Ferranti przewidywał wartość produkcji układów matrycowych zarówno do sprzętu powszechnego użytku jak i dla komputerów w wysokości rzędu kilkuset milionów dolarów.

Electronics nr 1/81 r.w World Markets Forecast podaje nowe dane dotyczące wartości produkcji USA w grupie tzw. semicustom logic, do której zalicza układy matrycowe /tabela 1/, podkreślając równocześnie, że wśród pamięci i układów logicznych bipolarnych będzie się rozszerzał rynek matrycowych układów ECL, razem z ogólnym rynkiem układów matrycowych.

Tabela 1

Rynek USA układów matrycowych

	1979	1980	1981	1984
Semicustom logic / mln dolarów/	26,2	47,1	58,8	193
Standard logic families, total /TTL, STTL, ECL, C-MOS/ /mln dolarów/	1048	1298	1501	2215
semicustom standard	% 2,5	3,2	3,9	8,7

Potrzeby i aplikacja układów matrycowych w przedsiębiorstwach Zjednoczenia "Mera"

W celu oszacowania potrzeb krajowego przemysłu komputerowego rozważono wielkość produkcji szczególnie układowo-chłonnych przedsiębiorstw ZPAiAP "Mera".

Dla drukarek wierszowych /DW/ oraz sprzętu i systemów bazujących na tych urządzeniach szacuje się poniższe wielkości produkcji /tys. szt. /

Lata	81	82	83	84	85
Drukarek wierszowych DZM 180	4,7	5,0	5,3	5,6	5,8
Monitorów technicznych	0,12	0,13	0,14	0,15	0,16
Drukarek wierszowych DZM 180 KSR	0,7	0,8	0,9	0,9	0,9
Terminali RO	0,3	0,3	0,3	0,3	0,3
Systemów MERA 100 i 2500	1,3	1,5	1,7	1,9	2,1
Punktów abonenczkich	0,1	0,1	0,1	0,1	0,1
Innych	0,01	0,06	0,1	0,2	0,3
Razem	7,23	7,89	8,54	9,15	10,76

Dla czytników i perforatorów taśmy /CPT/ szacuje się /tys. szt. /

Lata	81	82	83	84	85
CDT /tys. szt. /	6	10	20	20	20

Dla monitorów ekranowych /ME/:

Lata	81	82	83	84	85
ME /tys. szt. /	2	3	10	10	10

Dla pamięci kasetowych, dyskowych oraz pamięci na dysku elastycznym /DKD/ przyjęto 30% /DW + CPT + ME/

Lata	81	82	83	84	85
PKD /tys. szt. /	5	7	13	13	13

W zestawieniu łącznym potrzeb na układy matrycowe dla sprzętu peryferyjnego uwzględniono współczynnik szacunkowy M określający przewidywaną ilość sztuk układów matrycowych w 1 szt. urządzeń peryferyjnych.

Tys.szt. lata	M	81	82	83	84	85
DW	2	15	16	17	18	21
CPT	2	12	20	40	40	40
ME	4	8	12	40	40	40
PKD	3	15	21	39	39	39
Razem sprzęt peryferyjny, tys. szt. ukł. matryc	11	50	69	136	137	140

Dla sprzętu komputerowego przewiduje się docelowo: w skali rocznej 200 szt. urządzeń klasy jednostki centralnej R-32 zawierających po średnio 100 układów matrycowych do jednego urządzenia, tj. potrzeb łącznych docelowo 20 tys. szt., a ponadto 6 komputerów R47 zawierających po 500 układów matrycowych, tj. potrzeb łącznych docelowo następujących 3 tys. szt. rocznie w latach 1988-94.

Do grupy urządzeń klasy R-32 zalicza się:

- procesor teleprzetwarzania danych oraz jego mutacje,
- grafoskop UG-1,
- Mini UM JS,
- Sterownik do dysków 100M
- Programowany pt abonencki MERA 8100.

Dla sprzętu minikomputerowego /Centrum-Warszawa/ szacuje się potrzeby w wysokości 50% potrzeb sprzętu komputerowego, tj. docelowo 10 tys. szt. układów matrycowych.

Lata	81	82	83	84	85
Sprzęt komputerowy klasy R-32	-	-	-	2	20
Sprzęt komputerowy klasy R-47	-	-	-	0,5	0,5
Sprzęt mini-komputerowy	-	-	-	1	10

Dla pozostałego sprzętu /np. Centrum-Katowice, automatyka, pomiary/ szacuje się 20% łącznych potrzeb,

Lata	81	82	83	84	85
Pozostałe /tys. szt. /	10	14	25	30	40
Szacunek potrzeb łącznych przedsiębiorstw ZPAiAP "Mera" wynosi:					
tys. szt. lata r. matryc	81	82	83	84	85
ukł. matryc	60	83	161	170,5	210,5

Szacuje się, że układy subnanosekundowe o ilości bramek od 1000 do 2000 będą stanowiły docelowo ok. 5% tych potrzeb, tj. ok. 10 tys. szt., podczas gdy 95%, tj. ok. 200 tys. szt. stanowić będą układy o czasach propagacji rzędu 5 ns, o ilości bramek od 200-800.

Koncepcja przygotowania i wdrożenia do produkcji układów matrycowych w OBREUS

Produkcję układów matrycowych dla potrzeb przedsiębiorstw ZPAiAP "Mera" należy ze względów technologicznych podzielić na dwie główne grupy:

- układów matrycowych subnanosekundowych,
- układów matrycowych 5ns.

Produkcja grupy układów subnanosekundowych o najwyższych aktualnie osiągnięciach światowych zarówno co do czasów propagacji, jak i wielkości matryc 1000-2000 bramkowych jest w kraju nieosiągalna w ciągu pierwszej połowy lat 80 bez pomocy zagranicznej. Osiągnięcie tych parametrów, głównie na bazie technologii ECL byłoby np. możliwe w ramach rozszerzonej kooperacji i specjalizacji z ZSRR w zakresie zunifikowanej mikroelektronicznej bazy podzespołowej dla perspektywicznych środków techniki obliczeniowej, wg propozycji opracowanej przez OBREUS w sierpniu 1980 r. Natomiast prace

badania konstrukcyjne, opracowuje technikę masek i system testowania oraz opracowuje wstępne wymagania techniczne na proces technologiczny, obudowy i system CAD.

Propozycję schematu organizacji prac począwszy od 1982r. przedstawia rys. 9 Zespół prac powyżej linii przerywanej dotyczy przygotowania półfabrykatów uniwersalnych. Ciąg prac na dole schematu dotyczy głównego strumienia operacji kończącego się wyprodukowaniem układu matrycowego wg potrzeb szczegółowych odbiorcy. Schemat obejmuje całość głównych prac wg aktualnego rozoznania niezbędnych dla opracowania układów matrycowych. Prace te OBREUS zamierza realizować we współpracy z ITE w oparciu o bazę technologiczną TTL-Schottky w CEMI.

Aktualnie zaawansowane są w OBREUS prace w zakresie:

- badań w zakresie projektowania masek matrycy,
- wdrożenie systemu KULON do generacji programów sterujących generatorem optycznym,
- opracowania Systemu Przygotowania Danych /SPD/ masek dla programów sterujących dla generatorów optycznych, oraz ekspozera elektronowego,
- projektowania sieci połączeń dla wybranego układu matrycowego,
- opracowania technologii masek dla metod optycznych oraz elektronowych.

Ponadto w OBREUS są rozpoczęte prace nad technologią sieci połączeń, systemem CAD sieci połączeń oraz systemem testowania. Badaniami w zakresie prac projektowych objęto matryce 200 i 400-bramkowe w technologii krajowej TTL-Schottky o czasie przełączania rzędu 5ns i mocy wydzielonej 5mW na bramkę. Dla wersji 400-bramkowej przewiduje się ok. 60 wyprowadzeń.

Główne efekty wdrożenia układów matrycowych

Wśród wielu efektów związanych z wdrażaniem układów matrycowych przedstawionych przez czasopisma naukowo-techniczne można wyodrębnić jako najistotniejsze:

- zwiększenie swobody konstruktorów układów logicznych, nie ograniczonej dostępnymi zestawami układów standardowych,
- skrócenie czasu opracowania nowego typu układu /do np. 12 tygodni/ a w wyniku - skrócenia okresu wdrożeniowego sprzętu o konkurencyjnych parametrach,

- przełamanie bariery granicy opłacalności aplikacji nowego typu specjalizowanego układu scalonego i jej obniżenia do poziomu krótkich serii, a w wyniku - rozszerzenia zakresu aplikacji układów LSI w sprzęcie elektronicznym profesjonalnej;
- zachowanie pozostałych efektów związanych z wdrażaniem układów scalonych LSI, jak oszczędność obwodów drukowanych, zmniejszenie kosztów montażu, oszczędności na złączach i połączeniach, poprawa niezawodności oraz ok. 10-krotne zwiększenie gęstości upakowania układów elektronicznych;
- poprawy wskaźnika szybkości w stosunku do ceny w komputerach.

L i t e r a t u r a :

- [1] Założenia techniczno-ekonomiczne na układy scalone systemu Master-Chip. MERA-OBREUS, Marzec 1980,
- [2] Opracowanie systemu specjalizowanych układów logicznych wielkiej skali integracji. Bibliografia tematu i wyniki badań podstawowych układów logicznych MERA-OBREUS. Grudzień 1980.
- [3] A. Góral. Współczesne przyrządy elektroniczne. WNT 1979.
- [4] J. G. Posa. Gate Arrays. A special report. Electronics September 25, 1980.
- [5] P. Forshaw. Designing with the uncommitted logic array. Electronic Engineering. June 1979.
- [6] Fast CMOS gate arrays match custom circuit speed. Electronic Design 6 March 15, 1979.
- [7] R. J. Blumberg, S. Brenner. A 1500 Gate, Random Logic, large Scale Integrated /LSI/ Masterslice. IEEE Journal of Solid State Circuits, Vol. SC-14, NO/5, October 1979.
- [8] J. Pristone i in. Functional array eases custom ECL design. Electronics February 15, 1979.
- [9] R. A. Armstrong. Applying CAD to gate arrays speeds 32-bit minicomputer design. Electronics, January 13, 1981.
- [10] LSI chip provides 600-gate array in semicustom setup. Electronics /October 12, 1978.
- [11] Bipolarnyje matricznyje BIS - elementno- konstruktiwnaja baza vysokoproizwoditelnyh CWM czetwiertogo pokolenia. W. A. Żukowski i in. Zarubeżnaja Radioelektronika 11/79.
- [12] Gate arrays have marketers aring to go. W. A. Arnold Electronics, April 27, 1978.

■■■■■

ZASTOSOWANIE MATRYC LOGICZNYCH W SPRZĘCIE KOMPUTEROWYM

Decydujący wpływ na podstawowe parametry techniczno-ekonomiczne cyfrowych urządzeń elektronicznych ma średni stopień integracji, czyli stosunek ilości bramek logicznych i bitów pamięci do ilości układów scalonych wchodzących w skład urządzenia. Wraz ze wzrostem integracji pamięciowych i logicznych układów scalonych poprawiają się proporcjonalnie takie parametry urządzeń, jak koszt/wydajność, niezawodność, pobór mocy i gabaryty. Najwyższe wymagania na bazę elementową stawiają konstruktorzy jednostek centralnych /szczególnie w przypadku dużych i wielkich komputerów/, ponieważ główne parametry jednostki centralnej /wydajność obliczeniowa, niezawodność i pojemność pamięci operacyjnej/ decydują o możliwościach systemów opartych o dany komputer.

W latach 70 wzrost integracji układów pamięciowych unipolarnych następował w postępie geometrycznym, z czasem podwajania ok. 1,5 roku. W latach 80 przewiduje się utrzymanie tego trendu m. in. pamięci dynamiczne NMOS o pojemności 256 Kb mają pojawić się na rynku w 1982 r., a pamięci 1 Mb w 1985 r.

Postęp w dziedzinie układów logicznych jest nieco wolniejszy, szczególnie w przypadku szybkich układów logicznych wykonywanych w technice TTLS i ECL. W 1980 r. osiągnięto poziom ok. 15 tys. bramek/układ w technice NMOS /mikroprocesor Motorola 68 000/ oraz ok. 1 tys. bramek/układ w technice ECL /Macrocell Motorola, F 100200 Fairchild/. Przewiduje osiągnięcie w 1985 r.

poziomu integracji rzędu 100 tys. bramek/układ przy propagacji 100 ps/bramkę w technice CMOS/SOS /Rockwell/.

Zwiększenie integracji w układach pamięciowych nie napotyka na barierę związaną ze strukturą logiczną tych regularnych układów. Dodanie 1 wyprowadzenia pozwala zwiększyć 2-krotnie pojemność układów, a 4-krotnie przy zastosowaniu multipleksowania adresu, tak że układ o pojemności 64 Kb mieści się w obudowie o 16 wyprowadzeniach. Natomiast zwiększenie integracji układów logicznych dla budowy szybkich i skomplikowanych urządzeń cyfrowych /procesory, jednostki sterujące szybkimi urządzeniami we-wy/ napotyka m. in. na bariery: standardów, ilości wyprowadzeń i wydzielanej mocy. Przejście od układów scalonych SSI do MSI nie wymagało nowych metod projektowania urządzeń, natomiast zastosowanie układów LSI/VLSI przekracza krytyczne dla architektury logicznej granice. Układy stają się coraz mniej standardowe, a ilość koniecznych wyprowadzeń rośnie.

Istnieją trzy drogi podwyższania integracji w urządzeniach cyfrowych: stosowanie układów standardowych, projektowanych na zamówienie /custom/ oraz projektowanych częściowo na zamówienie /sermicustom/. Zaletami układów standardowych /mikroprocesory o zamkniętej strukturze i mikroprocesory modułowe - bit slice/ są: niski koszt i wiele źródeł zakupu. Mikroprocesory modułowe typu Am 2900 znalazły zastosowanie w minikomputerach DEC 2020, Classic i Nova-4, a typu M10800 w komputerach Uni-

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
S340B	Siemens	I ² L	2600	15	0,04							30		
F9480	Fairchild	I ³ L	4000	6	0,8	64				+5	2		5	
	Fujitsu	CMOS	3900	7	0,1	64	3900	15600			2	9,7	3,6	
ULA IDOOO	Ferranti	CMOS	2000	6		64	990			+5		16		
	Mitel	CMOS	2000	5	0,04								5	telekomunikacja
	IMI	CMOS	5000	3									4	
	Fujitsu	TTLs	208	6	0,5	28	50				3			
	Fujitsu	TTLs	600		0,5									MI30F, 140F, 150F, 160F
	TI	TTLs	1000			112								
	Hitachi	TTLs	1500			100								
	IBM	TTLs	704	3	1	121		razem	7000	-1,5 -4,25	2	20		IBM S/38, S/43XX
	TI	TTLs	1008	2,5			56						3,8	
	IBM	TTLs	7640	2,2	2,3		7640			+3,4				8-bitowy CPU/370 bez PAL i PAS
	Fujitsu	TTLs	512	1,8	1,2	64					3			
SH4B	Siemens	TTLs	1000	1	0,6			3100		+5		36,6		
	IBM	TTLs	3425			122						22		
	Nippon	CML	1200	0,9	1,7							25		DIPS-II
	Siemens	CML	700	0,5	3	64	36	1368	576		2	36		komputery, telekomunikacja, radary
	IBM	ECL	1496	1,5	1,8	115	748			+5 +1,7		30	6	IBM 3880
Marcocell	Motorola	ECL	1192	1,3	4	68	106	4000	4000	-5,2		34		
Miniarray	Motorola	ECL	652	1,3	2	40	53	2000	2000	-5,2		20		
	Mitsubishi	ECL	2500	0,8	1,25									
	Fujitsu	ECL	100	0,7	3	80	25					15		Amdahl 470/V6 + 9
	Plessey	ECL	400	0,5	3	64	144					14		
SH100B	Siemens, RTC	ECL	800	0,5	2,3	68	36	1512	576		2	36		
	Fujitsu	ECL	400	0,4										Amdahl 5860/5880
	RTC	ECL	2000	0,3	8	100						40		
F300	Fairchild	ECL	5000	0,4	20		125	12500	9500					w 1983 r.
300	MPE-ZSRR	ECL	1200	0,9		108								w 1984 r.
	Motorola	ECL	6300	0,2	15									w 1985 r.

Parametry:

1 - typ, 2 - firma, 3 - technika, 4 - ilość bramek, 5 - czas propagacji sygnału przez 1 bramkę w ns, 6 - moc wydzielana przez układ w W, 7 - ilość wyprowadzeń, 8 - ilość komórek, 9 - ilość tranzystorów, 10 - ilość rezystorów, 11 - napięcia zasilania w V, 12 - ilość warstw połączeń metalowych, 13 - powierzchnia kryształu układu w mm², 14 - raster w m, 15 - zastosowanie.

vac 1100/60 i 80. Jednak mikroprocesory te nie pozwalają na osiągnięcie wysokiego średniego poziomu integracji z powodu stosunkowo niskiej integracji samych układów /maks. 400 bramek/ oraz ich słabej uniwersalności i niekompatybilności z żadną rozpowszechnioną architekturą logiczną, co zmusza do użycia w konstrukcji dużej ilości układów SSI/MSI. Zaletami układów typu custom są: wysoka integracja, optymalna struktura logiczna i duża szybkość działania, a wadami: wysoki koszt i czas opracowania /ok. 100000 \$ i 50 tygodni/. Przykładem zastosowania układów typu custom jest minikomputer HP-300.

Układy typu semicustom łączą korzyści wielkoseryjnej produkcji /niski koszt opracowania w przeliczeniu na 1 szt. / z łatwością specjalizacji i krótkim czasem opracowania, co pozwala projektować indywidualnie strukturę logiczną każdego układu i uzyskać wysoki średni stopień integracji.

Układy typu semicustom występują w trzech podstawowych formach:

- programowane matryce logiczne /FPLA/: użytkownik specjalizuje standardowe układy poprzez programowanie na przyrządzie, podobnie jak w przypadku pamięci stałych typu PROM /FPLA, FPRP, FPLS - Signetics, PAL - Monolithic Memories/.

- matryce standardowych komórek /standard-cell, polycell/: użytkownik przy pomocy systemu CAD projektuje komplet masek dla wytworzenia układu poprzez umieszczenie i łączenie w układzie standardowych komórek logicznych wywoływanych z biblioteki /Microcells - Plessey Semiconductors, Composite Cells - Signetics/.

- niedokończone matryce logiczne /ULA, master slices, gate arrays/: użytkownik przy pomocy systemu CAD projektuje maski dla wykonania połączeń w standardowym układzie zawierającym stały zbiór tranzystorów i rezystorów /w niektórych typach także występują diody i kondensatory/; zbiór połączeń dla wybranych elementów logicznych /master slices/ wywoływany jest z biblioteki /Macrocell - Motorola, F300-Fairchild/.

Programowane matryce logiczne są najtańsze wśród układów semicustom i niektóre typy produkowane są przez więcej niż jednego producenta, jednak odznaczają się słabą uniwersalnością i niską integracją. Przykładem zastosowania tych matryc jest minikomputer CA 4/10S. Matryce standardowych komórek są najbardziej uniwersalne i efektywne wśród układów semicustom, kosztem wyższej ceny i czasu opracowania /ok. 50000 \$ i 26 tygodni/.

Najszerze zastosowanie w budowie komputerów, szybkich minikomputerów i urządzeń telekomunikacyjnych znajdują matryce

logiczne typu ULA. Koszt opracowania specjalizowanego układu LSI na bazie matrycy ULA wynosi ok. 30 000 \$, a czas opracowania 8 - 16 tygodni, z perspektywą skrócenia do 3 tygodni. Światowy rynek matryc ULA podwaja się co roku i w 1980 r. zamknął się obrotami w wysokości 50 mln \$.

Przegląd stanu techniki światowej w dziedzinie matryc logicznych ULA

W tabeli 1 zamieszczone są dane techniczne różnych typów matryc logicznych ULA produkowanych aktualnie lub przewidzianych do produkcji w najbliższych latach.

Baza elementowa EMC EC 1047

W tabeli 2 zamieszczone są aktualne informacje nt. bazy elementowej jednostek centralnych EMC JS RIAD-3.

Wszystkie produkowane aktualnie uniwersalne EMC o szybkości pojedynczego procesora $>0,75$ MIPS budowane są w technice ECL lub CML o różnym stopniu integracji. Najwyższy stopień integracji posiadają komputery Amdahl 5860/5880, M200 i M210 /ULA 400-bramkowe/ oraz IBM 3081 /ULA 700-bramkowe/, o szybkości ponad 10 MIPS. Największą szybkość /0,73 MIPS/ z komputerów zbudowanych w technice TTLs posiada model IBM 4341 /ULA 700-bramkowe/. Wynika to z faktu, że w technice TTLs można aktualnie uzyskać minimalny cykl maszynowy w granicach 300 - 150 ns, natomiast dla procesora o szybkości ≥ 1 MIPS optymalny cykl maszynowy zawiera się w granicach 100 - 24 ns.

Tak więc kierując się wymogiem konkurencyjności EC 1047 w stosunku do EC 1057, EC 1067, EC 1077 i EC 1087, wybrano dla struktury logicznej i pamięci operacyjnej jednostki centralnej EC 1047 bazę elementową przewidzianą dla EC 1077 i EC 1087.

Zgodnie z wstępnym porozumieniem z "Mera-OBREUS" - Toruń z dnia 14.10.1980 r. proponujemy podjęcie starań o zakup w ZSRK płytek ze strukturami matrycowymi, kompletów obudów, pewnych urządzeń technologicznych dla realizacji połączeń i hermetyzacji oraz systemu CAD, w celu wykonywania przez "Mera-OBREUS" układów logicznych LSI ECL dla jednostki centralnej EC 1047 wg projektów IKSAiP. Wykonanie ok. 100 modelowych układów powinno nastąpić w latach 1984 - 86.

W skład EC 1047 będą wchodzić także urządzenia o rozbudowanej strukturze logicznej, lecz o mniejszych wymaganiach na szybkość działania, np.: podsystem rozproszonego przetwarzania MERA 8100, zmodernizowany procesor teleprzetwarzania, zmodernizowany procesor graficzny. Proponujemy zastosowanie w tych urządzeniach także uk-

Model	Szybkość w Mips	Baza elementowa logiczna	Baza elementowa pamięciowa
EC 1017 Budapeszt	0,1	układy LSI /?/ w technice TTL i TTLs	/?/ NMOS
EC 1027 Praga	0,2	mikroprocesory modułowe TTLs typu INTEL 3000	RAM16K NMOS
EC 1037 Mińsk	0,5	mikroprocesory modułowe ECL typu MOTOROLA 10800	RAM16K NMOS
EC 1047 Wrocław	1,0	jak dla EC 1077, EC 1087	jak dla EC1077, EC1087
EC 1057 Karl-Marx-Stadt	1,0	matryce logiczne ULA TTLs 600 bramek, 2 + 3 ns	/?/ NMOS
EC 1067 Bukareszt	1,0	układy LST /?/ w technice TTLs i TTLs	/?/ NMOS
EC 1077 Erywań	2,0	matryce logiczne ULA typu N 300 : 1200 bramek, 0,9 ns	RAM64K NMOS
EC 1087 Moskwa	5,0	matryce logiczne ULA typu N 300 : 1200 bramek, 0,9 ns	RAM64K NMOS

ładów LSI typu ULA, lecz wykonanych w technice TTLs. Matryce te pozwolą osiągnąć średni stopień integracji o rząd wielkości wyższy w stosunku do mikroprocesorów modułowych, a technika TTLs obniży wymagania na układy zasilające i chłodzące. Zgodnie z ww. porozumieniem przewidujemy wykonywanie w "Mera-OBREUS" układów logicznych LSI TTLs wg projektów IKSAIP na bazie struktur matrycowych prod. CEMI. Podstawowe parametry tych układów: ilość bramek - 400 w I etapie, 800 w II etapie, propagacja sygnału przez 1 bramkę - 3 ns, ilość wyprowadzeń - 64. Wykonanie ok. 50 modelowych układów powinno nastąpić w latach 1983 - 85.

W przypadku niemożności zakupienia struktur, obudów, urządzeń i systemu CAD dla wytwarzania układów LSI ECL, proponujemy budowę jednostki centralnej EC 1047 na bazie matrycy LSI TTLs prod. CEMI-OBREUS, zwiększając wymagania dla tych układów /800 bramek, 2 ns/ i zmniejszając wymagania na szybkość pojedynczego procesora EC 1047 do 0,5 MIPS. Dla pozostałych, wolniejszych urządzeń EC 1047 produkowanych w kraju /urządzenia zewnętrzne lokalne, terminale/, baza elementowa powinna być wybrana spośród standardowych układów SSI/MSI TTL lub TTLs oraz LSI NMOS, przy szerokim wykorzystaniu rodziny układów mikroprocesorowych typu INTEL 8000.

Konstrukcja elektroniczna jednostek centralnych IBM 4300

Struktura logiczna jednostek centralnych IBM 4300 zbudowana jest z 704-bramkowych matryc ULA TTLs /parametry z tabeli p. 2/ oraz trzech układów pamięci wewnętrznych /lokalna, mikroprogramów i translacji/. Pamięć operacyjna zbudowana jest z układów 64 K z dwoma buforami 8-bitowymi, o czasie dostępu 300 ns/100 ns. Układy logiczne i pamięciowe w liczbie odpowiednio 9 i 8

montowane są w moduły na 23-warstwowej płycie ceramicznej o rozmiarach 2 x 2 cale i 361 wyprowadzeniach. Moduły montowane są w 8-warstwowe pakiety o rozmiarach 4 i 7/8 x 7 i 1/2 cale i 268 wyprowadzeniach. Jeden pakiet pamięci operacyjnej ma pojemność 0,5 MB. Kasety o wymiarach 60 x 29 x 38 cali zawiera 35 pakietów połączonych 16-warstwowym platerem. Dla połączeń międzykasetowych przy pomocy płaskich kabli przeznaczonych jest 8 łączówek 125-stykowych: 720 sygnałów logicznych i 280 zer logicznych. Zwiększenie upakowania struktury logicznej serii 4300 w stosunku do serii 370 wynosi 15 + 17 razy. System wspomaganego projektowania CAD układów logicznych LSI wyposażony jest w 25 terminali umieszczonych w różnych filiach IBM.

Projektant wprowadza sieć logiczną w formie listy poprzez monitor alfanumeryczny lub w formie diagramów poprzez monitor graficzny. Następnie projektant dzieli sieć na pojedyncze układy, a system sprawdza formalną poprawność struktury logicznej układu metodą symulacji oraz rozmieszcza elementy logiczne i sprawdza zachowanie pewnych reguł projektowania, takich jak obciążalność. Po uzyskaniu poprawnej struktury logicznej, system optymalizuje rozmieszczenie elementów logicznych w celu minimalizacji długości połączeń oraz maksymalizacji prawdopodobieństwa wszystkich połączeń. Następnie system projektuje połączenia korzystając ewentualnie z pomocy projektanta i sprawdza, czy spadki napięć nie przekraczają limitów oraz czy geometryczne parametry projektu nie naruszają reguł technologicznych.

Ostatnim etapem działania systemu jest automatyczna generacja testów dla sprawdzania wyprodukowanych układów. Poprawny projekt układu jest przesyłany liniami telekomunikacyjnymi do oddziału produkcyjnego dla wykonania próbnego układu.

TECHNIKA UKŁADÓW SCALONYCH - MATRYCOWYCH W ZASTOSOWANIACH ANALOGOWYCH

Podstawowym przeznaczeniem układów matrycowych były i są układy cyfrowe. Jednakże od początku ich rozwoju istniały również projekty układów matrycowych przeznaczonych dla realizacji układów analogowych.

Podstawowe rozwiązania konstrukcyjne w układach matrycowych przeznaczonych dla projektów analogowych związane są z asortymentem układów podstawowych. Układy prostsze są zbiorem elementów podstawowych takich jak tranzystory, rezystory, diody umożliwiające projektowanie dowolnych lecz niezbyt skomplikowanych układów. Układy bardziej zaawansowane zawierają także analogowe bloki funkcjonalne jak: wzmacniacze operacyjne, komparatory, źródła prądowe oraz jednocześnie funkcjonalne elementy cyfrowe /np. bramki/.

Przodującą firmą w realizacji układów dla celów analogowych jest Interdesign Inc./USA/. W 1972 r. wprowadziła ona po raz pierwszy układy bipolarne nazwane Monochips. W 1977 r. zaoferowała układy w technologii n - MOS, a w 1978 r. C - MOS. Te ostatnie stwarzają znaczne możliwości w technice analogowej. Dowodem rozpowszechniania się układów firmy Interdesign jest podjęcie ich produkcji przez inne firmy: Exar oraz Cherry Semiconductor Corp. Cykl projektowania wynosi od 6 do 18 tygodni, a jednorazowe obciążenie związane z oprzyrządowaniem jest rzędu 5000 dol.

Koncepcja układów Monochip firmy Interdesign

Układy matrycowe serii Monochip są to zestawy elementów rozmieszczonych w jednym monolitycznym układzie wielkiej skali integracji. Elementy te są rozmieszczone tak, by ich wyprowadzenia mogły być łączone

przy pomocy indywidualnej sieci połączeń metalizowanych wytwarzanych w ostatnim kroku procesu produkcyjnego. Tak więc projektując i realizując jedną warstwę połączeń uzyskuje się ze standardowego półproduktu układ specjalizowany. Zestaw elementów podstawowych jest typowy dla układów monolitycznych. Projektant ma do dyspozycji:

- tranzystory npn małej mocy / $I_{cmax} = 20 \text{ mA}$ /
- tranzystory npn średniej mocy / $I_{cmax} = 200 \text{ mA}$ /
- tranzystory pnp małej mocy / $I_{cmax} = 2 \text{ mA}$ /
- rezystory dyfundowane o średnich własnościach i średnich wartościach rezystencji /do $10 \text{ k}\Omega$ /,
- rezystory polowe o niskich własnościach lecz dużych wartościach rezystencji /do $100 \text{ k}\Omega$ /,
- diody sygnałowe,
- diody Zenera.

Asortyment taki jest dostateczny dla realizacji wielu układów analogowych. W tabeli 1 przedstawiono podstawowe dane dotyczące serii Monochip firmy Interdesign.

Tabela 1
Podstawowe dane dotyczące układów Monochip firmy Interdesign

Typ	A	B	C	D
Ilość elementów dyskretnych	260	300	110	209
Ilość wyprowadzeń	16	24	14	16
Maksymalne napięcie zasilania	20V	20V	20V	36V

Własności elementów podstawowych są typowe dla układów monolitycznych, a więc gorsze od ich odpowiedników dyskretnych. Szczególnie mierne są własności tranzystorów

pnp /realizowanych jako tzw. boczne/ oraz rezystorów. Częstotliwość graniczna tranzystorów pnp nie przekracza 5 MHz, a rezystancja nasycenia jest około 600 om. Zaletą elementów jest dobra współbieżność zmian parametrów w funkcji temperatury, również typowa dla układów monolitycznych. Dysponując takim zestawem elementów można realizować proste układy analogowe, takie jak: wzmacniacze prądu zmiennego, komparatory, źródła prądowe, generatory, proste wzmacniacze operacyjne, układy czasowe, źródła napięcia odniesienia i inne.

Największą zaletą układu Monochip jest możliwość miniaturyzacji, zmniejszenie poboru mocy i podniesienia niezawodności układu. Do wad należą: stosunkowo słabe parametry uzyskiwanych układów. Nieomal każdy specjalizowany układ monolityczny jak wzmacniacz operacyjny, układ czasowy, źródło napięcia posiadają parametry:

- nieosiągalne w projekcie Monochip,
- parametry dobrze wyspecjalizowane i niegroźące ujawnieniem się np. niestabilności częstotliwościowej zależnej od zbiegu parametrów elementów, a więc od egzemplarza układu. Tak więc układy Monochip w żadnym wypadku nie są przeznaczone dla realizacji np: własnego wzmacniacza operacyjnego lecz wyłącznie dla realizacji niekonwencjonalnego projektu o nietypowych zależnościach. Istotną ciekawą cechą układów Monochip jest możliwość łączenia w układzie funkcji cyfrowych i analogowych. Trójwejściowa bramka RTL kosztuje 7 elementów, bramka exclusive - OR 9 elementów, a więc łączenie bramek z układami analogowymi może dać duże oszczędności elementowe, mocowe itp.

Ograniczenia układów Monochip

Z punktu widzenia projektanta układów seria Monochip posiada dwa zasadnicze ograniczenia:

- ograniczenie dokładności realizowanych funkcji,
- ograniczenie napięć i mocy.

Dokładność realizowanych funkcji w zasadniczy sposób zależy od:

- dokładności napięć odniesienia,
- dokładności rezystorów i dzielników rezystorowych.

Współczynnik temperaturowy diod Zenera w układach Monochip jest rzędu $0,5\%/10^{\circ}\text{C}$. Współczynniki temperaturowe rezystorów są w najlepszym przypadku rzędu $1\%/10^{\circ}\text{C}$. Dyskwalifikuje to je jako elementy dla układów precyzyjnych. Parametry układów mogą być poprawione przez wykorzystanie współbieżności temperaturowej elementów. I tak wykorzystując kompensację współczynnika temperaturowego diody Zenera i diod zwykłych można uzyskać stabilizator napięcia o wpływach temperatury nie przekraczających $0,1\%/10^{\circ}\text{C}$ oraz wpływach napięcia zasilania poniżej $0,05\%/V$. Napięcia przebicia dla podstawowych typów układów Monochip są gwarantowane na poziomie 20V, a dla układów specjalnych 36V. Są to wartości zadowalające dla układów pracujących z jednobiegunowym zasilaniem.

Konstrukcja układów współpracujących z symetrycznym zasilaniem jest również możliwa i w przykładach aplikacyjnych przedstawiony jest układ wzmacniacza funkcjonalnie podobnego do typu 741, jednak z ograniczeniem pola napięć wyjściowych oraz prądów wyjściowych. Układy matrycowe serii Monochip mogą być interesującym rozwiązaniem konstrukcyjnym nietypowych układów analogowych. Ograniczenia własności elementów mogą być nadrobione przez zręczne rozwiązania układowe. Układy Monochip są stosowane od zapotrzebowań rzędu 1000 szt./rok do 100 tys. szt./rok. Za poziom optymalny uważane są potrzeby rzędu 10 tys. szt./rok.



mgr inż. IAN CABANSKI
 inż. ZBIGNIEW OCZKI
 OBREUS - Toruń

SYSTEMY DWU- I WIELOMASZYNOWE MERA 400 EMC JS ADAPTER MIĘDZYKANALOWY ARM-3

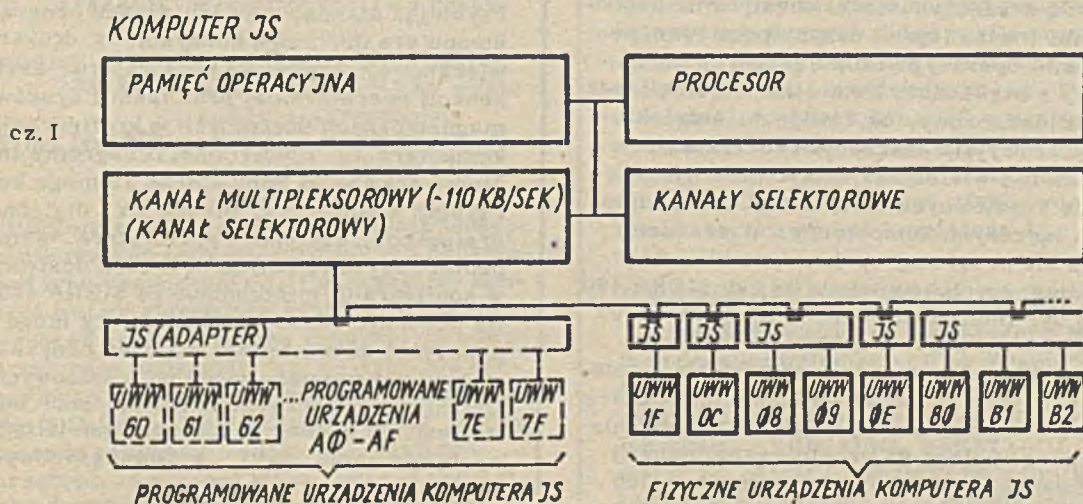
W Zakładzie Doświadczalnym Projektowania i Wdrażania Systemów Obiektowych przy "Mera-OBREUS" w Toruniu^{x/} wykonano i oprogramowano wielodostępny adapter międzykanałowy MERA 400 - EMC JS. W rozwiązaniach funkcjonalnych adaptera uwzględniono właściwości sprzętu i oprogramowania łączonych komputerów jak i szeroki zakres oczekiwanych zastosowań w systemach dwu- i wielomaszynowych /MERA 400 procesorem graficznym, komunikacyjnym teletransmisji danych, itp. dla komputerów Jednolitego Systemu/. Wielość zastosowań adaptera uzyskano dzięki sprzętowo-programowej wielotorowości i równoległości komunikacji pomiędzy połączonymi komputerami.

Dołączenie adaptera /minikomputera MERA 400/ do komputera JS nie wymaga żadnych modyfikacji sprzętu ani oprogramowania komputera JS. Sprzętowe dołączenie adaptera sprowadza się do włączenia go w pętlę in-

terfejsu kanału multipleksorowego lub selektorowego jako grupowej jednostki sterującej, obsługującej spójną grupę adresów $\Lambda\Phi, \dots, \Lambda\Pi$. Programowe dołączenie adaptera polega na wgenerowaniu w oparciu o standardowe taśmy dystrybucyjne pod adresami adaptera $\Lambda\Phi, \dots, \Lambda\Pi$ pożądaných urządzeń JS, których pracę chcemy programować na minikomputerze MERA 400.

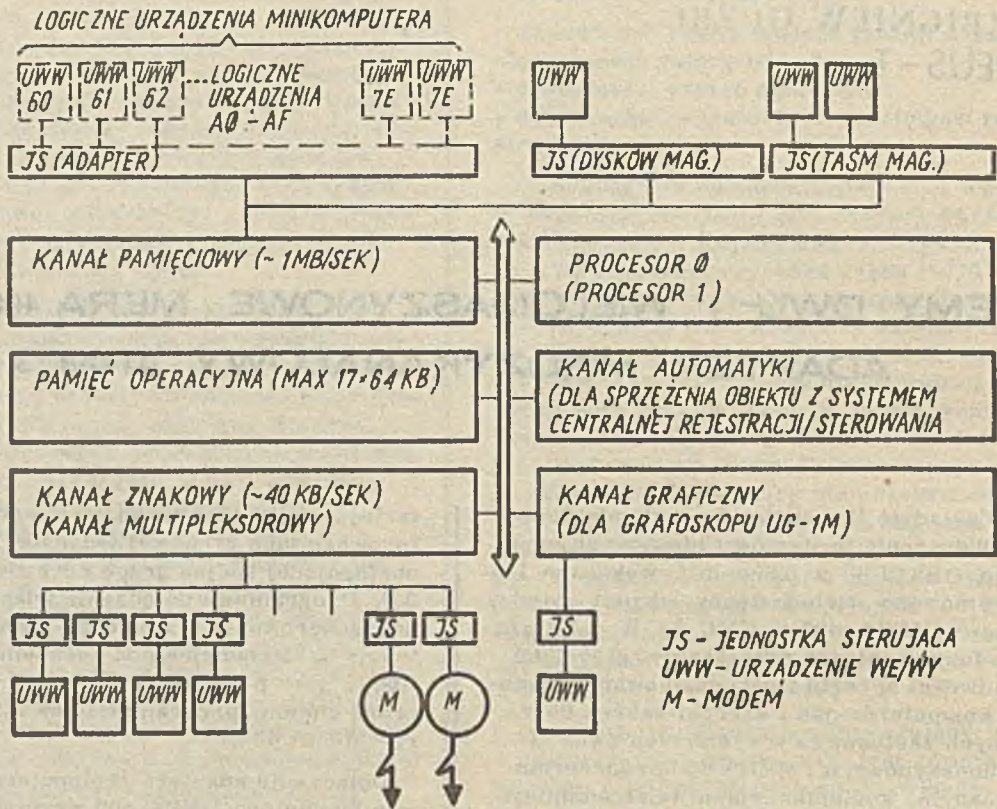
Dołączenie adaptera /komputera JS/ do minikomputera MERA 400 wymagało jedynie prac programowych polegających na rozszerzeniu generatora systemu operacyjnego SOM-3 o dodatkowe instrukcje generacji systemu i handler adaptera. Sprzętowe dołączenie adaptera polega na zainstalowaniu dwu

^{x/} Obecnie zintegrowanym z OBREUS



MINIKOMPUTER MERA 400

cz. II



Rys. 1. Konfiguracja systemu dwumaszynowego MERA 400 EMC JS

pakietów adaptera oraz gniazd interfejsowych kanału komputera JS w standardowym pudle kanału pamięciowego minikomputera MERA 400.

Każdy z połączonych adapterem komputerów traktuje swego partnera jako grupę własnych urządzeń, nazwanych nadal urządzeniami programowanymi lub logicznymi. Transmisje danych realizowane pomiędzy pamięciami operacyjnymi a urządzeniami logicznymi są w rzeczywistości obustronnie uzgodnionymi transmisjami danych pomiędzy pamięciami operacyjnymi połączonych komputerów, z szybkością kanału JS /ok. 110kB/sek - multipleksorowy, ok. 1MB/sek. - selektorowy/. Przyjęta koncepcja tworzenia systemów dwu- i wielomaszynowych nie wymaga zwykle kosztownych modyfikacji oprogramowania łączonych komputerów. W zasadzie wszystkie programy opracowane dla urządzeń fizycznych komputera JS czy MERA 400 mogą być implementowane w systemie dwumaszynowym z wykorzystaniem urządzeń logicznych pod warunkiem zaprogramowania działania tych urządzeń na komputerze partnerze. Programowanie działania urządzenia logicznego polega na przyjmowaniu danych kierowanych do urządzenia logicznego lub wysyłaniu danych oczekiwanych od urządzenia logicznego odpowiednio za pomocą in-

strukcji wejścia lub wyjścia np. języka FORTRAN. Przyjęte dane mogą być następnie wyprowadzane na wybrane urządzenie komputera.

Analogicznie wysyłane dane mogą być uprzednio pobierane z wybranego urządzenia komputera. Działanie takie zapewnia szereg standardowych programów każdego z komputerów. W ten sposób programy implementowane na minikomputerze MERA 400, wykorzystując standardowe lub własne programy komputera JS, mogą korzystać z drukarki wierszowej, czytnika i perforatora kart, konsoli operatorskiej oraz taśm i dysków magnetycznych dostępnych w konfiguracji komputera JS i odwrotnie. Programy implementowane na komputerze JS mogą korzystać z modemów, pisaka XY, digigrafu, grafoskopu, czytnika i perforatora taśmy papierowej oraz innych urządzeń dostępnych w konfiguracji minikomputera MERA 400. Na podobnych zasadach komputery mogą przysyłać dane i wyniki obliczeń podczas wzajemnej wymiany mocy obliczeniowych. Dzięki ww. właściwościom połączenia możliwe jest opracowanie szeregu specjalistycznych systemów dwu- i wielomaszynowych.

W aktualnie prowadzonych pracach adapter jest wykorzystany:

- w dwumaszynowym systemie graficznym /OBREUS/,
- w systemie sterowania magazynem i gospodarki materiałowej /PIAP/,
- dla zastosowania MERY 400 jako procesora czołowego /UMK/.

Prezentowane połączenie umożliwia również opracowanie na minikomputerze procesora teletransmisji danych nawet o rozszerzonych możliwościach typu koncentracji i wątpliwego przetwarzania danych.

Wobec szeregu zapytań o szczegółowe możliwości stosowania adaptera wydaje się celowe pobieżne przedstawienie zasad jego funkcjonowania - poprzedzonych ogólnymi zasadami realizacji operacji we/wy na łączonych komputerach na poziomie przeciętnego Czytelnika. Dokumentacja konstrukcyjna modelu adaptera i jego oprogramowanie mogą być udostępnione przez Ośrodek Badawczo-Rozwojowy Elektronicznych Układów Specjalizowanych "Mera-OBREUS" w Toruniu.

Realizacja instrukcji we/wy EMC JS

Każda instrukcja we/wy komputera JS w procesie implementacji programu jest zamieniana na ciąg operacji we/wy adresowanego urządzenia. Operacje te są kodowane w języku kanału w postaci odrębnych programów działania kanału /programów kanałowych operacji we/wy/ i służą do kierowania pracą kanału, jednostki sterującej i urządzenia dla ich wykonania. Każdy rozkaz /komenda/ programu kanałowego składa się z czterech pól zawierających: 8-bitowy kod komendy, adres PAO, warunki realizacji komendy i licznik danych. Niżej wymieniono nazwy podstawowych grup komend programu kanałowego, wartości bitów kodu komendy decydujących o przynależności do grupy oraz podstawowe funkcje grup komend:

PISZ xxxxxx01 - przesłanie danych z PAO do urządzenia,
 CZYTA 1 xxxxxx10 - przesłanie danych z urządzenia do PAO wg rosnących adresów,
 STERUJ xxxxxx11 - przesłanie z PAO danych wysterowania i/lub wysterowanie urządzenia,
 BADAJ xxxx0100 - przesłanie danych statusu szczegółowego urządzenia do PAO.

Pozycje x kodu komendy określają funkcje dodatkowe komendy specyficzne dla określonego typu urządzenia JS. Poszczególne operacje we/wy stanowiące realizację instrukcji we/wy są kolejno zlecane kanałowi do wykonania przez podsystem we/wy systemu operacyjnego komputera JS rozkazem maszynowym SIO /start input/output/. Kanał każdą komendę programu kanałowego realizuje sprzętowo za pomocą kilku spośród poniżej poglądowo opisanych sekwencji sygnałów sprzętowych:

- WP - wybieranie początkowe. Kanał w ramach realizacji przez procesor rozkazu maszynowego SIO przekazuje do jednostki sterującej /adresując urządzenie/ kod pierwszej komendy programu kanałowego. Wolna jednostka sterująca /urządzenie/ zerowym statusem potwierdza kanałowi przyjęcie kodu komendy zaś kanał informuje procesor o rozpoczęciu operacji we/wy.

- TD - transmisja danych. Jednostka sterująca /urządzenie/ w wyniku interpretacji kodu komendy inicjuje przesyłanie danych pomiędzy urządzeniem lub jednostką sterującą a pamięcią operacyjną z udziałem kanału. Przesyłanie danych może zakończyć kanał, jednostka sterująca lub urządzenie.

- SK - przesłanie statusu końcowego. Jednostka sterująca /urządzenie/ lub kanał w wyniku interpretacji kodu komendy lub po zakończeniu transmisji danych inicjuje wysłanie z jednostki sterującej do kanału statusu oceniającego i kończącego realizowaną komendę.

- SU - przesłanie statusu urządzenia. Jednostka sterująca /urządzenie/ inicjuje przesłanie statusu urządzenia oznajmiającego o zmianie swego stanu np. przejściu urządzenia ze stanu STOP do START, wciśnięciu przycisku ZGŁOSZENIA na konsoli operatorskiej itp.

Zestaw wykonywanych sekwencji dla zrealizowania poszczególnych komend kanałowych operacji we/wy zależy od kodu realizowanej komendy, zajętości jednostki sterującej oraz poprawności pracy urządzenia we/wy. Wykonanie poszczególnych programów kanałowych potwierdzone jest podsystemowi we/wy przez kanał JS przerwaniem. Podsystem we/wy w obsłudze przerwania sprawdza poprawność wykonania operacji we/wy i zasadność jego wystąpienia. W przypadku stwierdzenia niepoprawności, podsystem we/wy podejmuje akcję mającą na celu ponowienie operacji we/wy. Natomiast w przypadku stwierdzenia poprawności wykonania operacji we/wy podsystem we/wy startuje kolejny program kanałowy wchodzący w skład realizowanej instrukcji we/wy bądź też stwierdza prawidłowe wykonanie instrukcji we/wy. Przerwania zgłaszane przez kanał JS w następstwie przesłania statusu urządzenia inicjują w systemie akcje właściwe dla zaistniałej sytuacji lub roli jakie pełni to urządzenie w systemie operacyjnym komputera JS.

Realizacja instrukcji we/wy minikomputera

Instrukcje we/wy minikomputera Mera-400 w procesie implementacji programu są realizowane jako systemowo zdefiniowane operacje ekstrakodowe we/wy /READ, WRITE, REWIND, AVRECORD, BSRECORD, AVFILLE, BSFILE, EOFIL, HOME/ na zunifikowanych logicznych kanałach przesyłania informacji - strumieniach we/wy. Podczas wykonania

operacji ekstrakodowej strumieniowi we/wy powinno być przyporządkowane urządzenie logiczne stanowiące część lub całość funkcjonalną rzeczywistego lub fikcyjnego urządzenia we/wy /np. konsola operatorska - urządzenie logiczne we, urządzenie logiczne wy/ W oparciu o dokonane przyporządkowanie koordynator podsystemu we/wy systemu operacyjnego SOM-3 dokonuje wyboru egzekutora operacji ekstrakodowej /handlera urządzenia/ oraz umieszcza ją w kolejce do urządzenia. Handler realizując szeregowo lub równoległe /tylko handler adaptera Rład'a/ zakolejkowane operacje ekstrakodowe zleca kolejno koordynatorowi do zainicjowania na adresowanym urządzeniu w kanale minikomputera rozkazy we/wy właściwe dla realizowanej operacji ekstrakodowej. Po pozytywnym zainicjowaniu rozkazu we/wy bezpośrednio lub dopiero po przyjęciu przerwania potwierdzającego jego wykonanie, ponownie reaktywowany jest handler dla dalszej realizacji sekwencji rozkazów we/wy operacji ekstrakodowej lub dla stwierdzenia jej zakończenia. Wykonana operacja ekstrakodowa zostaje następnie wyrejestrowana z kolejki, po czym użytkownik jest informowany o wykonaniu instrukcji we/wy.

Sprzętowo-programowa komunikacja w systemie dwumaszynowym

Adapter dla każdego ze swych adresów w kanale maszyny JS i odpowiadających im urządzeń logicznych w systemie operacyjnym SOM-3 minikomputera MERA 400 umożliwia:

- wykonanie operacji we/wy z inicjatywy komputera JS,
- przesłanie statusu urządzenia logicznego z inicjatywy minikomputera MERA 400.

Wykonanie operacji we/wy

Adapter każdą komendę zleconą do wykonania przez kanał JS realizuje w dwu lub trzech rozłącznych lub nierozłącznych /zależnie od trybu pracy adaptera/ sekwencjach WP, TD, i SK przeplatanych niezbędną obsługą handle-ra.

Wybieranie początkowe jest inicjowane przez kanał JS realizujący kolejną /w tym pierwszą/ lub ostatnią komendą programu kanałowego operacji we/wy. Wolny adapter dla adresu A1 ię/Q...F/ przyjmuje do rejestru kodu i adresu kod komendy i adres A1 przekazywane przez kanał JS /stając się zajęty/ po czym zgłasza do kanału pamięciowego minikomputera przerwanie PKA /przyjął komendę i adres/. Adapter staje się wolny dla adresów At /t zależne od trybu pracy adaptera/ po pobraniu przez handler przyjętego kodu komendy i adresu A1.

Handler pobiera kod komendy i adres A1 z adaptera rozkazem KOMENDA podczas obsługi przerwania PKA. Następnie pobra-

ny kod komendy klasyfikuje wg ww grup komend, podejmując dla każdej z nich akcję stowarzyszenia:

Dla komend PISZ, CZYTAJ i CZYTAJ-WSTECZ handler sprawdza czy dla urządzenia logicznego reprezentującego adres A1 w kanale JS jest zakolejkowana operacja ekstrakodowa odwrotna /np. dla PISZ-READ, dla CZYTAJ-WRITE lub EOFILE/ lub informacyjna HOME. Jeśli jest zakolejkowana operacja ekstrakodowa odwrotna - handler inicjuje transmisję danych, jeśli operacja ekstrakodowa informacyjna HOME - handler przekazuje użytkownikowi kod komendy. W przypadku braku obydwu ww. operacji ekstrakodowych powyższe działanie będzie odpowiednio kontynuowane po zakolejkowaniu dowolnej z nich.

Dla komend STERUJ handler sprawdza czy dla urządzenia logicznego reprezentującego adres A1 w kanale JS jest zakolejkowana operacja ekstrakodowa READ dla czytania danychysterowania urządzenia lub informacyjna HOME. Jeśli jest zakolejkowana ww. operacja ekstrakodowa READ - handler inicjuje transmisję ww. danych, jeżeli operacja ekstrakodowa informacyjna HOME - handler przekazuje użytkownikowi kod komendy. W przypadku braku obydwu ww. operacji ekstrakodowych handler inicjuje wysłanie statusu końcowego pozytywnie kończącego komendę STERUJ.

Dla komend BADAJ handler sprawdza czy dla urządzenia logicznego reprezentującego adres A1 w kanale JS jest zakolejkowana operacja ekstrakodowa WRITE dla pisania danych statusu szczegółowego urządzenia. Jeśli jest zakolejkowana ww. operacja ekstrakodowa WRITE - handler inicjuje transmisję ww. danych, jeśli brak - inicjuje transmisję danych statusu szczegółowego urządzenia zarejestrowanych podczas realizacji poprzedniej komendy.

Handler inicjuje transmisję danych pomiędzy pamięciami operacyjnymi łączonych komputerów rozkazem TRANSMISJA, uprzednio przygotowując pole sterujące transmisją w kanale pamięciowym zawierające adres A1, kierunek transmisji, adres PAO minikomputera oraz ilość transmitowanych słów /dla kanału JS analogiczne informacje zawiera stowarzyszona komenda/. Dane wysyłane do komputera JS handler może przekodować na kod EBCDIC komputera JS.

Transmisja danych jest zawsze inicjowana przez handler. Wolny adapter dla adresu At podejmuje realizację transmisji danych opisanej w polu sterującym i stowarzyszonej komendzie, pełniąc w tym czasie rolę urządzenia zadanego w polu sterującym. Po poprawnym zakończeniu transmisji przerwaniem KTM/KTR /koniec transmisji MERA/

/RIAD/ lub po awaryjnym jej zatrzymaniu innymi przerwanieml KTA adapter informuje handler o zakończeniu transmisji, stając się ponownie wolnym dla adresów At.

Handler obsługuje przerwanie kończące transmisję rejestrując w statusie szczegółowym ocenę zrealizowanej transmisji. Poprawnie przesłane dane do PAO minikomputera handler może przekodować na kod ISO-7 minikomputera MERA-400. Po tych czynnościach handler rozkazem STATUS inicjuje wysłanie statusu końcowego wygenerowanego w oparciu o zarejestrowany status szczegółowy i/lub wymagania instrukcji we/wy.

Wysłanie statusu końcowego jest zawsze inicjowane przez handler. Wolny adapter dla adresu At podejmuje realizację przesłania podanego statusu końcowego, pełniąc w tym czasie rolę wskazanego urządzenia At w kanale JS. Kanał JS po przyjęciu pozytywnego statusu końcowego kolejnej /nie ostatniej/ komendy programu kanałowego inicjuje wybieranie początkowe dla następnej komendy na tym samym adresie. Natomiast po przyjęciu negatywnego statusu końcowego kolejnej komendy lub statusu końcowego ostatniej komendy, kanał kończy realizację operacji we/wy, równocześnie zgłaszając przerwanie we/wy do procesora komputera JS. Ocenę całej operacji we/wy stanowi status końcowy ostatniej zrealizowanej komendy programu kanałowego. Równocześnie adapter po przekazaniu statusu końcowego do kanału JS przerwaniem KKK /koniec kolejnej komendy/ lub KOK /koniec ostatniej komendy- koniec operacji kanałowej w kanale JS/ informuje handler o zakończeniu realizacji komendy we/wy. Adapter staje się ponownie wolny dla wszystkich adresów A0, ..., AF jeśli kanał JS zrealizował ostatnią komendę programu kanałowego operacji we/wy lub tylko dla adresu dotychczasowej pracy adaptera jeżeli kanał JS nie zakończył operacji we/wy.

Handler obsługując przerwanie KKK/KOK dokonuje wyrejestrowania operacji ekstrakodowej stowarzyszonej z poprawnie zakończoną komendą, uznając ją za wykonaną lub przechodzi do innych akcji związanych z inicjatywą handlera.

Przesłanie statusu urządzenia

Dla każdego urządzenia logicznego Ai wygenerowanego w systemie operacyjnym SOM-3 minikomputera, handler umożliwia wysłanie statusu zgłoszenia operatorskiego dla urządzeń wygenerowanych jako konsola operatorska komputera JS lub statusu przejścia ze stanu STOP na START dla pozostałych urządzeń.

Handler inicjuje wysłanie statusu urządzenia rozkazem STATUS /poza czasem realizacji na tym adresie programu kanałowego przez kanał JS/ na podstawie żądania zawartego w opisie instrukcji we/wy.

Wysłanie statusu urządzenia jest zawsze inicjowane przez handler. Wolny adapter dla adresu Ai podejmuje realizację przesłania podanego statusu urządzenia, pełniąc w tym czasie rolę wskazanego urządzenia Ai w kanale JS. Kanał JS po przyjęciu statusu urządzenia zgłasza przerwanie do procesora JS w obsłudze którego oprogramowanie komputera JS podejmuje akcję właściwą dla zaistniałej sytuacji lub roli, jakie pełni to urządzenie w systemie operacyjnym komputera JS. Równocześnie adapter po przekazaniu statusu urządzenia do kanału JS przerwaniem KOK informuje handler o zrealizowaniu rozkazu.

Tryby pracy adaptera

Sprzętowo przewidziano dwa tryby pracy adaptera:

- selektorowy,
- multipleksorowy grupowy.

Adapter pracujący w reżimie selektorowym zajęty przez kanał JS dla realizacji sekwencji WP na adresie Ai pozostaje zajęty dla adresów Aj j/i /i=1/ przez cały czas realizacji programu kanałowego operacji we/wy.

PROGRAM MINIKOMPUTERA MERA 400:

```
C      FORTRAN IV-E MERA 400
      PROGRAM MERA
      INTEGER START,VARRY,BUFFER
      DIMENSION START(10),VARRY(10)
      DIMENSION BUFFER(40)
      DATA START/'START RIAD.PO '/
      DATA VARRY/'VARRY 06F,0FFLINE '/
CCCCC
C      STARTOWANIE_PROCEJDURY_'RIAD'
C      (ZGL0SZENIE_ZADANIA_0BSLUGI_
C      _I_WYSLANIE_KOMENDY_'START')
CCCCC
      CALL REQUEST
      WRITE(3C06F,300) START
CCCCC
C      OCZEKIWANIE_NA_START_PROCEJDURY.
C      (IGNOROWANIE_KOMUNIKATOW_0S/MFT_
C      _WYPROWADZANYCH_NA_KONSOLE_06F_
C      _AZ_DO_TEKSTU_'OK'=#4#4B_
C      _WYSLANEGO_PZEZ_AKTYWNA_
C      _PROCEDURE/PROGRAM_'RIAD')
CCCCC
100   READ(3C06F,300) BUFFER
      IF (BUFFER(1).NE.4Z4F4B) GOTO 100
CCCCC
C      0DLACZENIE_KONSOLI_06F.
C      (ZGL0SZENIE_ZADANIA_0BSLUGI_
C      _I_WYSLANIE_KOMENDY_'VARRY')
CCCCC
      CALL REQUEST
      WRITE(3C06F,300) VARRY
CCCCC
C      CZYTANIE_DANYCH_Z_URZADZENIA_06U
C      _I_PERFOROWANIE_ICH_NA_TASZIE_
C      _PAPIEROWEJ_PERFORATORA_MERY_400_
C      _AZ_DO_TERMINATORA_'##'=#2424.
CCCCC
200   READ(3C06U,300) BUFFER
      WRITE(2CPU,300) BUFFER
      IF (BUFFER(1).NE.4Z2424) GOTO 200
      STOP
300   FURMAT (10A2)
      END
```


PROGRAM ZGŁOSZENIA OPERATORKA:

```

*      ASSEMBLER STANDARD MERA 400
      FGM REQUEST
      INT REQUEST
REQUEST  LWR,1,4
        LWD,4,UF106F
WAITCMD  EXL,HOME
        LWS,2,CMD=6F-$
        LPC,2
        JGR,1
        EXL,AVRECORD
        UJS,WAITCMD-$
UFT06F  UFC 0,006F,0A000+RA+IX,0,0,0
CMD:6F  RES 1
HOME    EQU #10
AVRECORD EQU #0A
RA      EQU #0400
TX      EQU #0200
        END
    
```

PROGRAM KOMPUTERA JS:

```

/* PL/I EMC JS */
RIAD:
PROCEDURE OPTIONS(MAIN)
DECLARE (CARD00B,MERA06D) FILE;
DECLARE RECORD(40) CHARACTER(2);
DJSPLAY('OK');
R: GET FILE(CARD00B) EDIT(RECORD)(40A(2));
PUT FILE(MERA06D) EDIT(RECORD)(40A(2));
IF RECORD(1)~='$$$' THEN GO TO R;
END;
    
```

Adapter pracujący w trybie multipleksowym grupowym po zakończeniu każdej sekwencji SU, WP, TD i SK-kończącej operację we/wy staje się wolny dla wszystkich adresów /t=φ, ..., F/. Pozwala to na zajęcie go dla realizacji sekwencji dla innego adresu A_j j≠i lub kontynuacji działania na adresie A_i. Przeplatanie się sekwencji realizujących komendy dla różnych adresów zwiększa przepustowość adaptera, ułatwia programowanie i umożliwia stosowanie adaptera wraz z minikomputerem MERA 400 jako procesora teletransmisji danych, komunikacyjnego czy też graficznego dla komputerów JS.

Inicjowanie pracy w systemie dwumaszynowym

Komputery połączone sprzętowo adapterem mogą być sprzężone w system dwumaszynowy lub pracować niezależnie. Sprzężenia komputerów dokonuje się na okres pracy systemu dwumaszynowego /wielomaszynowego/ odpowiednio rozkazami we/wy do adaptera DOŁĄCZ/ODŁĄCZ wykonywanymi na minikomputerze MERA 400. W stanie odłączenia adapter dla każdego z komputerów zachowuje się jak urządzenie wyłączone. Po sprzęgnięciu komputerów można rozpocząć pracę w systemie dwumaszynowym, startując na każdym z komputerów programy inicjujące wzajemnie stowarzyszone instrukcje we/wy - programy stowarzyszone. Współdziałające programy mogą być startowane w dowolnej kolej-

ności i niezależnie na każdym z komputerów lub półautomatycznie.

Startowanie półautomatyczne wymaga, aby najmniej jedno urządzenie /logiczne/ A_i było wgenerowane w systemach operacyjnych połączonych komputerów jako /dodatkowa/ konsola operatorska.

Wcześniej wystartowany program na minikomputerze w fazie początkowej pełni rolę programowanego operatora, żądając od systemu operacyjnego JS obsługi na adresie konsoli A_i. System operacyjny komputera JS obsługując zgłoszenie inicjuje na tym adresie komendę CZYTANIE. Program na minikomputerze realizując komendę CZYTANIE może za pomocą instrukcji wyjścia /operacji ekstrakodowej WRITE/ przesłać systemowi operacyjnemu komputera JS polecenie startowania wybranej procedury /OS/ lub obszaru /DOS/ - zatem i programu stowarzyszonego, albo też polecenie odłączenia konsoli.

Wcześniej wystartowany program na komputerze JS przesyła do urządzenia /logicznego/ A_i przydzielonego do strumienia CI - wejścia dyrektyw sterowania pracą tasku - polecenia \$JOB, \$ASS, ..., \$EXE, wymuszające startowanie na minikomputerze wybranego programu stowarzyszonego.

Na uwagę zasługuje również możliwość niezależnego startowania RDR'a systemu operacyjnego JS na adresie adaptera A_i i programu na minikomputerze, który poprzez zadania JCL-u przesłane na urządzenie logiczne A_i dokona wyboru programu stowarzyszonego na komputerze JS. Istnieje możliwość w pełni automatycznego startowania systemu dwumaszynowego łącznie z ładowaniem systemów operacyjnych inicjowana przez przycisk ŁAD komputera JS.

Przykład programów w systemie dwumaszynowym

Powyżej przedstawiono przykładowe proste programy MERA i RIAD startowane półautomatycznie w systemie dwumaszynowym pod systemami operacyjnymi SOM-3 /z wgenerowanymi urządzeniami logicznymi = strumieniami φ6D, φ6F - konsola JS, ... / i OS/MFT /z wgenerowanymi urządzeniami φ6D - perforator kart, φ6F - dodatkowa konsola operatorska, .../. Zadaniami programów jest skopiowanie zbioru danych na kartach perforowanych na taśmę papierową. Dane wprowadzane są z czytnika kart komputera JS i wyprowadzane na perforatorze taśmy papierowej minikomputera.

Wcześniej wystartowany program MERA na minikomputerze wymusza - używając dodatkowej konsoli operatorskiej φ6F, start programu RIAD na komputerze JS.



INFORMACJE - NOWOŚCI

ZESPÓŁ POMIAROWY DO BADANIA RADIOTELEFONÓW TYP ZPFM-3

Wraz z rozwojem gospodarczym Polski nastąpił szybki rozwój ruchomych środków łączności, które znalazły zastosowanie we wszystkich dziedzinach gospodarki narodowej jako szybki i tani środek łączności możliwy do zrealizowania w każdych warunkach terenowych. Rozwój radiokomunikacji spowodował konieczność opracowania specjalistycznych przyrządów pomiarowych służących do kontroli sprawności eksploatacyjnej radiotelefonów FM oraz do pomiarów warsztatowych podczas napraw.

Zespół pomiarowy umożliwia wykonywanie następujących pomiarów:

- w odbiorniku: częstotliwości odbioru, czułości, selektywności, zakresu blokady szumów, mocy wyjściowej, szumów i zniekształceń,
- w nadajniku: częstotliwości nadawania, mocy wyjściowej, dewiacji, zniekształceń, modulacji FM, odstępu szumów i działania modulatora.

Dane techniczne:

Generator w.cz.

Zakresy częstotliwości /w poszczególnych wkładkach/: 1. 0,4 do 20 MHz, 2. 30 do 60 MHz, 3. 60 do 90 MHz, 4. 140 do 180 MHz, 5. 230 do 260 MHz, 6. 300 do 350 MHz, 7. 440 do 470 MHz.

Częstotliwość generatora jest mierzona wbudowanym częstotściomierzem cyfrowym z rozdzielczością -100 Hz.

Generator ma układ synchronizacji, stabilizujący częstotliwość przy pomocy wysoko stabilnego generatora kwarcowego. Generator pracuje na częstotliwości podstawowej bez przemiany częstotliwości /z wyjątkiem zakresu 0,4 do 20 MHz/.

Impedancja wyjściowa 50 Om
Napięcie wyjściowe $1 \mu\text{V} + 30 \text{ mV} -2 \text{ dB}$
 $-0,2 \mu\text{V}$

Przy użyciu zewnętrznego tłumika można obniżyć napięcie wyjściowe dziesięciokrotnie
Modulacja FM o dewiacji 0 + 5 kHz, 0 + 10 kHz,
0 + 20 kHz

Wewnętrzne częstotliwości modulujące 300 Hz, 400 Hz, 1 kHz, 2, 7 kHz, 3 kHz, 6 kHz oraz płynnie od 300 Hz do 6 kHz

Zakres częstotliwości modulujących 100 Hz + 10 kHz
Zniekształcenia modulacji poniżej 2%
Szkodliwa modulacja FM poniżej 20 Hz /ocenia w paśmie 300 Hz + 3 kHz/

Wewnętrzne częstotliwości modulujące: 300 Hz, 400 Hz, 1 kHz, 2, 7 kHz, 3 kHz, 6 kHz i płynnie od 300 + 6 kHz

Zakres częstotliwości modulujących 100 Hz + 10 kHz
Zniekształcenia modulacji poniżej 2%
Szkodliwa modulacja FM poniżej 20 Hz /ocenia w paśmie 300 Hz - 3 kHz/

Generator m.cz

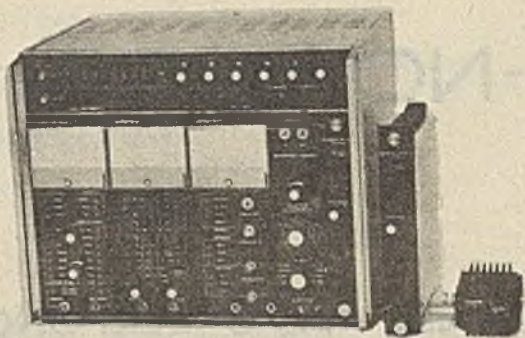
Częstotliwości 300 Hz, 400 Hz, 1 kHz, 2, 7 kHz, 3 kHz, 6 kHz oraz płynnie 300 Hz - 6 kHz, z odczytem na częstotściomierzu cyfrowym

Rezystancja wyjściowa 200 Om lub 600 Om.
SEM wyjściowa 2 mV + 2 V
Zniekształcenia nieliniowe poniżej 2%

Miernik dewiacji

Zakres w.cz. jak w generatorze w.cz.
Czułość 100 mW na 50 Om
Zakres pomiaru dewiacji 0 + 5 kHz, 0 + 10 kHz, 0 + 20 kHz
Dokładność -10%

Zniekształcenia własne przy demodulacji poniżej 1%
Deemfaza 750 μS lub 6 dB/okt



Fot. 1

Miernik zniekształceń

Częstotliwość pomiaru 1 kHz
 Zakresy pomiaru 0 + 1%, 0 + 3%, 0 + 10%
 0 + 30%, 0 + 100%

Dokładność pomiaru ±10%

Zakres napięć wejściowych 0,3 + 10 V

Rezystancja wejściowa 100 kOm

Miernik szumów

Zakres częstotliwości 50 Hz + 10 kHz

Zakres pomiaru szumów -55 dB + 0 dB

Zakres napięć wejściowych / dla poziomu odniesienia/ / 0,3 + 10 V

Woltomierz m. cz.

Zakres częstotliwości 50 Hz + 10 kHz

Zakres pomiaru napięć 0 + 0,1 V, 0 + 0,3 V,
 0 + 1 V, 0 + 3 V, 0 + 10 V

Dokładność pomiaru ±10%
 Rezystancja wejściowa 100 kOm

Miernik mocy m. cz.

Zakresy pomiaru 0 + 10 mW, 0 + 100 mW,
 0 + 1 W

Dokładność pomiaru ±10%
 Rezystancje wejściowe 8 Om, 20 Om, 25 Om,
 50 Om, 100 Om

Miernik mocy w. cz.

Zakresy pomiaru 0 + 0,5 W, 0 + 2,5 W,
 0 + 5 W

Przy użyciu zewnętrznego tłumika 0 + 12,5 W, 0 + 25 W

Dokładność pomiaru ±10%

Miernik częstotliwości

Pomiar bezpośredni 50 Hz + 25 MHz, z rozdzielczością 1 Hz / do 10 kHz / lub 10 Hz / do 25 MHz /

Miernik częstotliwości umożliwia ponadto pomiar częstotliwości nadajnika przy użyciu generatora w. cz. / w stanie synchronizmu / jako heterodyny. Pomiar następuje wtedy na częstotliwości pośredniej 1 MHz z rozdzielczością 1 Hz

Rezystancja wejściowa przy pomiarze bezpośrednim 100 kOm

Napięcie wejściowe przy pomiarze bezpośrednim 50 mV + 50 V

Zasilanie 220 V 50 Hz lub 12 V / plus lub minus w stosunku do ziemi /

Wymiary 360 x 448 x 350 mm
 Masa poniżej 25 kg.

inż. STANISŁAW POLISIAK

URZĄDZENIA LASEROWE

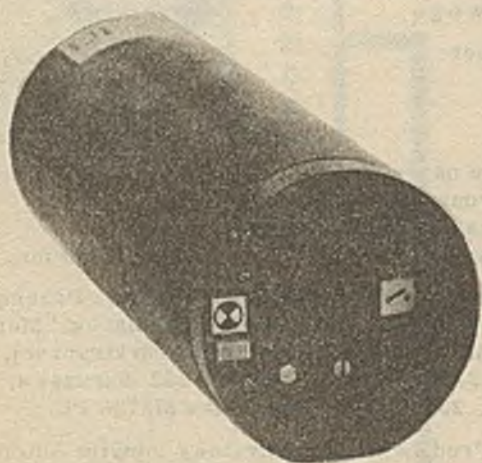
W Przemysłowym Instytucie Automatyki i Pomiarów "Mera-PIAP" w Warszawie w ramach prac nad zastosowaniem techniki laserowej w przemyśle opracowano dalsze urządzenia laserowe /dotychczasowe opracowania "Mera-PIAP" z tego zakresu - Informacja "PAK-Mera" nr 12/5/80/.

Sygnalizator UL-6 /fot. 1/ do wykrywania wiązki laserowej stosowany jest przede wszystkim w geodezji i budownictwie do prowadzenia dokładnych pomiarów liniowych, np. do wyznaczania osi kominów oraz konstrukcji mechanicznych, płaszczyzn stropów itp. Sygnalizator dokładnie wskazuje odchyłki punktu pomiarowego od płaszczyzny odniesienia wytwarzanej przez wirujący promień laserowy. Przy zamontowaniu sygnalizatora na listwie pomiarowej można dokonywać pomiaru odległości punktu pomiarowego od płaszczyzny światła laserowego. Pomiary przy pomocy sygnalizatora UL-6 są znacznie krótsze w stosunku do metod klasycznych.

W skład sygnalizatora wchodzi:

- cztery czujniki promieniowania laserowego,
- układ przetwarzania informacji,
- generator akustyczny z głośnikiem,
- lampki sygnalizacyjne.

Czujniki promieniowania laserowego przetwarzają impulsy światła laserowego, stanowiącego płaszczyznę odniesienia, na sygnały elektryczne, które są miarą położenia sygnalizatora względem płaszczyzny laserowej. W przypadku oświetlenia centrum sygnaliza-



Fot. 1. Sygnalizator do wykrywania wiązki laserowej UL-6.

tora układ przetwarzania informacji wytwarza sygnał powodujący wzbudzenie generatora zasilającego głośnik oraz przy włączonej sygnalizacji świetlnej zaświecenie środkowej lampki sygnalizacyjnej. Przy niesymetrycznym oświetleniu sygnalizatora układ przetwarzania informacji wytwarza sygnał o wartości ujemnej blokujący generator oraz sygnały powodujące, przy włączonej sygnalizacji świetlnej, zaświecenie się odpowiedniej lampki sygnalizacyjnej wskazującej kierunek odchyłki sygnalizatora od laserowej płaszczyzny odniesienia. Sygnalizator zawiera filtry optyczne, które umożliwiają pracę urządzenia w pełnym świetle słonecznym.

Dane techniczne sygnalizatora UL-6:

Maksymalna odległość pomiędzy nadajnikiem laserowym a detektorem promieniowania	250 m
Dokładność wykrywania centrum wiązki laserowej:	
- przy średnicy wiązki do 30 mm	+ 0,1 mm
- przy średnicy wiązki większej niż 30 mm	+ 1 mm
Zasilanie bateryjne	2 x 9 V / 2 baterie 6F25C/
Pobór mocy w czasie pracy sygnalizatora	$P \leq 0,5 \text{ W}$
Zakres temperatury pracy	- 10° : +55°C
Wymiary gabarytowe	walec o średnicy 88 mm i długości 230 mm
Masa sygnalizatora	około 0,5 kg

Dane techniczne nadajnika laserowego:

Laser	He - Ne, ciągły, jednorodny o długości fali światła 632,8 nm
Moc na wyjściu	2 mW \pm 0,5 mW
Średnica wiązki światła w całym dopuszczalnym zasięgu pracy	10..... 50mm
Prędkość obrotu głowicy wirującej	10 $\sqrt{\text{rad/s}}$ + 0,5 rad/s



Fot. 2. Laserowe urządzenie pomiarowe UL-7.

Laserowe urządzenie pomiarowe UL-7 /fot. 2./ do wykrywania centrum wiązki światła laserowego ciągłego, stosowane przede wszystkim przy pomiarach deformacji szybów kopalnianych, np. w kopalniach miedzi. Pomiarów dokonuje się w stosunku do wiązki światła laserowego stanowiącej odniesienie.

Laserowe urządzenie pomiarowe składa się z podzespołów:

- detektor UL-DL1
- blok przetwarzania UL-P1

Detektor i blok przetwarzania połączone są ze sobą przy pomocy wielożyłowego kabla.

Detektor promieniowania laserowego przeznaczony jest do odbioru ciągłego promieniowania laserowego. W celu zapewnienia dużej dokładności w wyznaczaniu środka wiązki laserowej niezależnie od odległości pomiędzy nadajnikiem laserowym, a detektorem, zastosowano w detektorze dwanaście fotodiod. Zapewnia to niezależnienie wskazań laserowego urządzenia pomiarowego od wzrostu wartości średnicy wiązki laserowej, przy wzroście odległości pomiędzy nadajnikiem laserowym a detektorem UL-DL1. Do bloku przetwarzania UL-P1 dochodzą sygnały z detektora poprzez kabel. Sygnały po przejściu przez elektryczne filtry dolnoprzepustowe sterują miernikami wskazówkowymi informującymi o wystąpieniu odchyłek w osiach X i Y.

W przypadku wykonywania pomiarów deformacji szybów kopalnianych nadajnik laserowy mocuje się nad szybem kopalnianym /ewentualnie w szybie/ na osi pomiarowej, względem której dokonujemy pomiarów deformacji szybów. W celu przeprowadzenia pomiaru deformacji zakłada się specjalną tarczę obserwacyjną na znaki linii profiłowej. Tarcza obserwacyjna zbudowana jest z dwóch prostopadłych listew /prowadnic/ przesuwanych względem siebie przy pomocy śrub mikrometrycznych. Znaki linii profiłowej są na trwałe połączone z obudową szybu kopalnianego i umieszczone są w określonych odstępach, umożliwiającymi pomiar na całej długości szybu. Po zamocowaniu do tarczy obserwacyjnej detektora UL-DL1 ustawia się go prostopadle do padającej wiązki laserowej, a następnie przesuwa się de-

tektor w dwóch wzajemnie prostopadłych kierunkach /X, Y/ przy pomocy śrub mikrometrycznych. Detektor przesuwa się do momentu ustawienia go w środku wiązki laserowej /zerowe odchyłki w osiach X i Y/. Na podziałkach prowadnic tarczy obserwacyjnej odczytuje się położenie detektora.

Dane techniczne urządzenia UL-7

Maksymalna odległość pomiędzy nadajnikiem laserowym a detektorem promieniowania	500 m
Dokładność wykrywania centrum wiązki laserowej	+ 0,1 mm
Zasilanie bateryjne	2x13,5 V / 6 baterii 3R12/
Pobór mocy w czasie pracy urządzenia	$P \leq 3W$
Zakres temperatury pracy	-10 ... +55 °C
Wymiary gabarytowe:	
- detektora UL-DL1	100x100x300 mm
- bloku przetwarzającego	160x200x250 mm
Masa:	
- detektora UL-DL1	1 kg
- bloku przetwarzającego	0,5 kg.

Dane techniczne nadajnika laserowego

Laser	He-Ne, ciągły, jednomodowy o długości fali światła 632,8mm
Moc na wyjściu	2 mW ± 0,5 mW
Średnica wiązki światła w całym dopuszczalnym zasięgu pracy	10 ... 50 mm

Informacji technicznych udziela: Przemysłowy Instytut Automatyki i Pomiarów "Mera-PIAP" Ośrodek Automatyki Elektrycznej, Al. Jerozolimskie 202, 02-222 Warszawa, tel. 23-70-81 w. 348, telex 813726 PL.

Producent: Przemysłowy Instytut Automatyki i Pomiarów "Mera-PIAP" Zakład Doświadczalny, Al. Jerozolimskie 202, 02-222 Warszawa, tel. 23-76-16, telex 813726 PL.

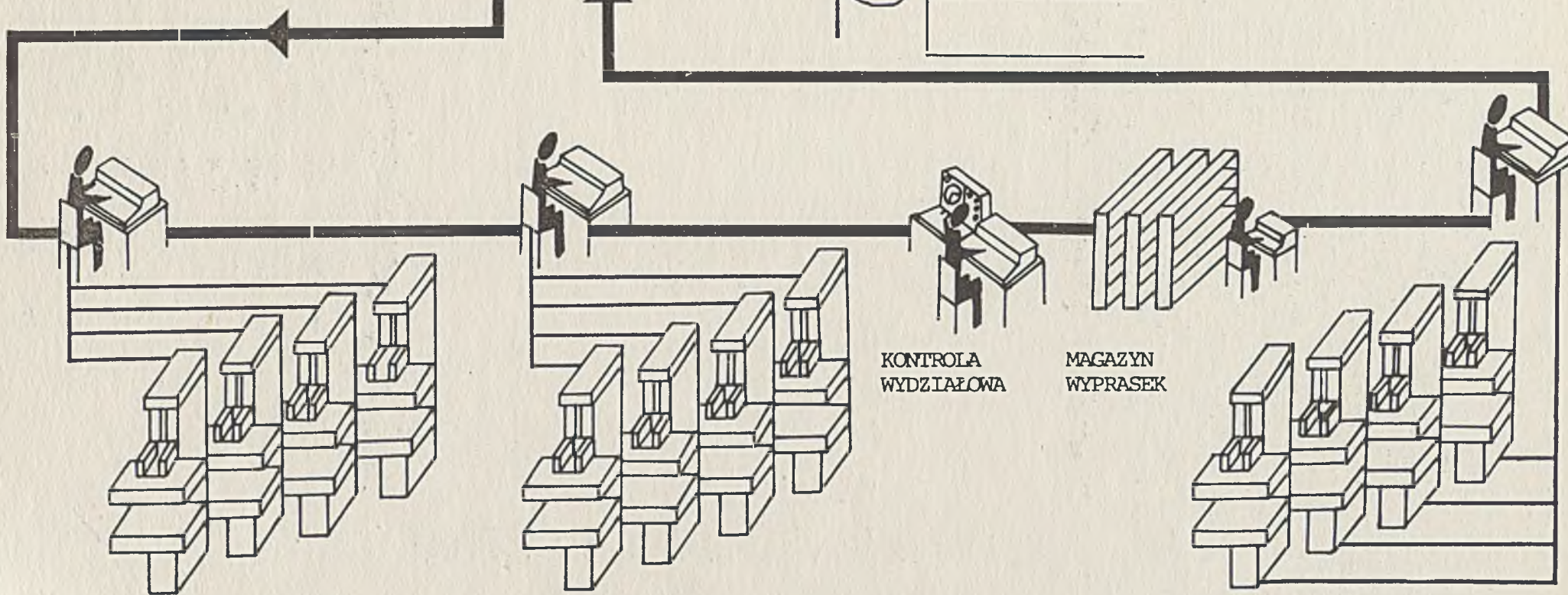
inż. WŁADYSŁAW GÓRAL

EC 8371.01

(M) EC 8006

KONTROLER

KIEROWNIK TECHNICZNY
KIEROWNIK PRODUKCJI
INNE SŁUŻBY



LINIA PRAS 1

LINIA PRAS 2

LINIA PRAS „N”

Podsystem terminali w zastosowaniu do zbierania danych na wydziale tloczni

